

## 明 細 書

## 清浄処理方法および半導体装置の製造方法

## 5 技術分野

本発明は、半導体層表面を清浄化する技術に関するものである。

## 背景技術

半導体素子の製造工程においては、半導体基板上への同種または異種の半導体層の結晶成長工程、誘電体等をマスクとしたフォトリソグラフィーと化学エッチングまたはドライエッチングによるパターンニング工程、電流ブロック構造や光閉じ込め構造のための同種または異種の半導体層の再成長工程を繰り返すことが多い。この場合、結晶成長前の基板表面や再成長前の半導体成長層表面は、大気暴露やエッチング、洗浄等のプロセスにより不純物汚染や物理的ダメージを受け易く、それらの表面にそのまま結晶成長を行うと素子特性や寿命が大幅に劣化してしまう。このため、不純物汚染や物理的ダメージ層を除去するために、結晶成長室内でエッチングを行い、その後、続けて結晶成長を行う手法が用いられてきた。

このような技術として、特許第3158651号では、成長原料としてトリメチルガリウム (TMG) 及びアルシン ( $\text{AsH}_3$ )、エッチングガスとして塩化水素 ( $\text{HCl}$ ) を用いて  $\text{GaAs}$  の再成長直前に、成長室内でエッチングを施すことにより、炭素 (C)、酸素 (O)、シリコン (Si) などの不純物を除去でき、またエッチング中に  $\text{HCl}$  と共に TMG を同時に供給すると、エッチングにより結晶表面に生じるストイキオメトリーからのずれが補償され、再成長界面でのキャリアの蓄積が抑制されるとされている。

また、特開昭59-65434号公報には、 $\text{GaAs}$  半導体の気相成長において、塩化水素とともに III 族元素のアルキル化合物および V 族元素の水酸化物もしくはアルキル化合物の蒸気を同時に導入して半導体層をエッチングする技術

が開示されている。エッチングの速さは、毎分 0.1  $\mu\text{m}$  のエッチング速度の例が示されている。こうすることにより、成長開始前の下地表面を鏡面にすることができるとされている。

また、特開昭 51-74580 号公報には、III-V 族元素から成る半導体物質の気相エッチングを V 族元素のハロゲン化物および同水酸化物を含む不活性ガス雰囲気下で実施し、V 族元素の水酸化物を同時に導入する技術が記載されている。同公報によれば、平坦で、かつ鏡面性に優れた基板表面を得ることができると記載されている。

また一方で、特許第 3339486 号に開示されている様に、埋め込み型半導体レーザにおいて、再成長界面での残留 Si の影響を補償するために、Zn をドーピングして、残留 Si による n 転層を再び p 反転させて、レーザの発振特性を向上させる技術も開発されている（図 16）。

特許文献 1 特許第 3158651 号

特許文献 2 特開昭 59-65434 号公報

15 特許文献 3 特開昭 51-74580 号公報

特許文献 4 特許第 3339486 号

非特許文献 1 アイトリプルイー ジャーナル オブ セレクティド トピックス イン カンタム エレクトロニクス 第 3 巻 第 3 号 845 ページ目から 853 ページ目 (IEEE Journal of Selected Topics in Quantum Electronics, Vol. 3, No. 3, p845~p853)

## 発明の開示

しかしながら上記従来技術では、半導体結晶の構成元素に比べてエッチング速度が遅い汚染物質が表面に残留しやすく、例えばアイトリプルイー ジャーナル オブ セレクティド トピックス イン カンタム エレクトロニクス 第 3 巻 第 3 号 845 ページ目から 853 ページ目 (IEEE Journal of Selected Topics in Quantum Electroni

c s, Vol. 3, No. 3, p 845 ~ p 853) に報告されているように、エッチングガスとして  $\text{PCl}_3$  を用い、 $\text{InP}$  表面を成長室内でエッチングしても  $\text{Si}$  はほとんどエッチングされず、表面に残留してしまう。また本発明者らの実験結果では、通常の結晶成長温度付近では、特許第 3 1 5 8 6 5 1 号で示されているような結晶成長室内でのエッチングを施しても再成長界面の残留  $\text{Si}$  を除去することは容易でなかった。また、残留  $\text{Si}$  を除去しようとして基板温度を上げ過ぎたり、エッチングを深くし過ぎると、もとの半導体層の内部で不純物拡散や結晶欠陥を生じたり、エッチングにより形状変化が起き、設計通りのデバイス構造が作製できないという問題があった。

また、特許第 3 3 3 9 4 8 6 号に開示されている技術を用いた場合は、残留  $\text{Si}$  による  $n$  型層形成の影響は補償できるものの、過剰の  $\text{Zn}$  をドーピングすることによって、クラッド層での価電子帯間吸収損失 (Inter Valence Band Absorption: IVBA) を増大させ、また活性層に拡散した場合は、内部微分量子効率 ( $\eta_i$ ) を低下させるなどのデメリットがある。

本発明は上記事情に鑑みてなされたものであり、その目的とするところは、もとの半導体層中の不純物拡散や結晶欠陥の発生を誘起することなく、また形状変化を最小限にして、結晶成長前の半導体基板表面や再成長前の半導体表面の不純物汚染や物理的ダメージを再現性良く安定的に除去する半導体表面清浄化手法を提供すること、及び過剰の  $\text{Zn}$  ドーピングなどによる IVBA の増加や  $\eta_i$  の低下や、結晶欠陥のない良好な発振特性を有する埋め込み半導体レーザ構造を提供することにある。

半導体表面に付着した特定の汚染物質の除去が困難な理由について、本発明者らは以下のように推察した。半導体層表面に付着した汚染物質に対してエッチング性物質を作用させた場合、エッチング性物質と上記特定の汚染物質が化学反応を起こす。しかし、この化学反応によって生じた結合の結合力は比較的弱く、汚染物質がエッチング性物質と結合し化合物を形成して半導体表面から脱離しても、またすぐに結合が切れて半導体表面に再付着してしまうものと予想される。このように、半導体表面に付着した特定の汚染物質は、半導体層へ再付着するため、

除去が困難であると推察される。

こうした推察のもと、本発明者は、エッチング作用のある原料と結晶成長原料の両方を、清浄処理対象となる半導体層表面に接触せしめることにより、再付着を抑制しつつ汚染物質を効率的にエッチング除去できることを見だし、本発明

5 を完成した。

本発明の半導体表面清浄化手法は、半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを、同時に、または交互に、前記半導体層に接触せしめる清浄処理工程を含むことを特徴とする。

10 また、本発明の半導体表面清浄化手法は、半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質と結晶成長原料とを含む雰囲気の前記半導体層の表面を暴露する清浄処理工程を含むことを特徴とする。

さらに、本発明の半導体表面清浄化手法は、半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する清浄処理工程を含むことを特徴とする。

15

半導体層表面にエッチング性物質が作用すると、半導体層表面に付着した汚染物質が表面から脱離する。しかしながら、その脱離した汚染物質の一部が再度半導体層表面に付着することがある。半導体層の清浄度を高めるためにはこうした汚染物質の再付着を十分に抑制することが必要となる。そこで本発明では、エッチング性物質と、結晶成長原料とを半導体層表面に接触させ、再付着を抑制しつつ汚染物質を効率的にエッチング除去する。このような手法により汚染物質の再付着を防止できる理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によって速やかに占有されることによるものと推察される。

20

25

本発明の清浄処理方法において、前記第一のガスおよび前記第二のガスが、間欠的に供給される構成とすることができる。こうすることによって、半導体層の

表面の汚染を一層効率的に除去することができる。

本発明の清浄処理方法において、前記清浄処理工程を実施する前後における前記半導体層の層厚の差が、 $100\text{ nm}$ 以下である構成とすることができる。こうすることにより、十分に高い清浄度を実現することができる。

- 5 本発明の清浄処理方法において、前記清浄処理工程を実施する際に、前記半導体層の層厚が実質的に減少しないようにした構成とすることができる。ここで、「実質的に減少しない」とは、前記半導体層の層厚がまったく減少しないか、若干の層厚の減少があってもその層厚変化速度が $0.1\text{ nm/sec}$ 以下であることをいう。前記半導体層の層厚が実質的に減少しないように構成することで、半導体層表面に関し、十分に高い清浄度を実現することができる。

- 上記のように、清浄処理の対象となる半導体層の層厚変化を制御することによって十分に高い清浄度を実現できる。この理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によって確実に占有されることによるものと推察される。こうした前記半導体層の層厚変化の制御は、たとえば、エッチング性物質および前記結晶成長原料の量比を調整することができる。たとえばエッチング性ガスと原料ガスの量比を適切に調整して半導体層表面に供給することにより、清浄処理対象となる半導体層が実質的にエッチングされず、また、当該半導体層の上部に新たな半導体層が実質的に成長しないようにすることができる。

- 20 エッチング性物質と、結晶成長原料とのバランスが崩れ、エッチング側に傾くと、エッチングされた物質の再付着が生じ、十分な清浄度が得られない場合がある。一方、成膜の方に傾いた場合、汚染物質が十分に除去されないまま新たな半導体層が積層し、十分な清浄度が得られない。

- 本発明の清浄処理方法において、前記半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少する場合を負と定義し、前記清浄処理工程を実施した際の前記半導体層の層厚変化速度を $R$ 、前記半導体層表面に対して前記第一のガスのみを供給した場合の前記半導体層の層厚変化速度を $r_1$ 、前記半導体層表面に対して前記第二のガスのみを供給した場合の前記半導体層の層厚変化速度

を $r_2$ としたときに、これらの層厚変化速度の絶対値が、 $|R| < |r_2| < |r_1|$ となるように、前記第一のガスと前記第二のガスの供給量を調整する構成とすることができる。

- 5 こうすることにより、エッチング性物質および結晶成長原料の供給バランスが適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。

本発明の清浄処理方法において、 $R < 0$ である構成とすることができる。こうすることによって、半導体層表面に関し、十分に高い清浄度を実現することができる。

- 10 本発明の清浄処理方法において、 $|R|$ が $0.1 \text{ nm/sec}$ 以下である構成とすることができる。こうすることにより、エッチング性物質および結晶成長原料の供給バランスがさらに適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。また、素子構造の設計も容易となる。

- 15 本発明の清浄処理方法において、前記結晶成長原料が、有機金属を含む構成とすることができる。

本発明の清浄処理方法において、前記エッチング性物質がハロゲン元素またはその化合物である構成とすることができる。

- 20 本発明の清浄処理方法において、前記半導体層が化合物半導体からなる構成とすることができる。

本発明の清浄処理方法において、前記半導体層がIII-V族化合物半導体からなるものとすることができる。

- 25 結晶成長原料を、前記半導体層を構成するIII族元素を含む化合物とした場合、エッチング性物質によって形成された半導体層中の空格子位置を当該半導体層の構成元素で占有させることができ、表面に変成層等が形成することを防止できる。

前記半導体層を構成するIII族元素が一種類からなるものとすることができる。こうすることにより、半導体層表面の清浄処理中に変成層の形成や組成変化が起こることを抑えることができる。

本発明の清浄処理方法において、前記半導体層を構成する III 族元素がインジウム (In) である構成とすることができる。InP の気相成長においては、通常、600℃から650℃の成長温度が採用される。これは、V族元素であるリンが脱離することを防止するとともに結晶に伝導性を与えるために故意に添加された、たとえば亜鉛等の不純物の拡散を防ぎ、設計通りの不純物プロファイルを得るためのものである。しかしながら、このような比較的低温の成長温度を採用した場合、成長界面の清浄処理がよりいっそう困難となる。一般に、エッチング性ガスによる成長界面の清浄処理は、雰囲気温度を高温にするほど除去効率が高くなる。ところが、InP 半導体系においては、清浄処理温度に上限が存在するため、成長界面の汚染が除去されにくく、特にシリコンの汚染が深刻な問題となる。本発明によれば、かかる成長界面の汚染の問題を有効に解決することができる。

さらに本発明によれば、以下に示す半導体装置の製造方法が提供される。ここで、半導体装置とは、発光素子、受光素子、光変調器等の光素子や、電界効果トランジスタ、バイポーラトランジスタ等の電子素子を含む。

15 本発明の半導体装置の製造方法は、半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を形成する工程とを含み、前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを、前記半導体層の表面に接触せしめる工程を含むことを特徴とする。

また 本発明の半導体装置の製造方法は、半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を形成する工程とを含み、前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と結晶成長原料とを含む雰囲気の前記半導体層の表面を暴露する工程を含むことを特徴とする。

また、本発明の半導体装置の製造方法は、半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一

の半導体層上に第二の半導体層を形成する工程とを含み、前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する工程を含むことを特徴とする。

- 5 半導体層表面にエッチング性物質が作用すると、半導体層表面に付着した汚染物質が表面から脱離する。しかしながら、その脱離した汚染物質の一部が再度半導体層表面に付着することがある。半導体層の清浄度を高めるためにはこうした汚染物質の再付着を十分に抑制することが必要となる。そこで本発明では、エッチング性物質と、結晶成長原料とを半導体層表面に接触させ、再付着を抑制しつつ汚染物質を効率的にエッチング除去する。このような手法により汚染物質の再付着を防止できる理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によって速やかに占有されることによるものと推察される。
- 10

- 本発明の半導体装置の製造方法において、前記第一のガスおよび前記第二のガスが、間欠的に供給される構成とすることができる。こうすることによって、半導体層の表面の汚染を一層効率的に除去することができる。
- 15

- 本発明の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する前後における前記第一の半導体層の層厚の差が、100 nm以下である構成とすることができる。こうすることにより、十分に高い清浄度を実現することができる。
- 20

- 本発明の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する際に、前記第一の半導体層の層厚が実質的に減少しないようにした構成とすることができる。ここで、「実質的に減少しない」とは、第一の半導体層の層厚がまったく減少しないか、若干の層厚の減少があってもその層厚変化速度が0.1 nm/sec以下であることをいう。第一の半導体層の層厚が実質的に減少しないように構成することで、半導体層表面に関し、十分に高い清浄度を実現することができる。
- 25

上記のように、清浄処理の対象となる第一の半導体層の層厚変化を制御するこ



とによって十分に高い清浄度を実現できる。この理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によって確実に占有されることによるものと推察される。

5 こうした第一の半導体層の層厚変化の制御は、たとえば、エッチング性物質および前記結晶成長原料の量比を調整することができる。たとえばエッチング性ガスと原料ガスの量比を適切に調整して半導体層表面に供給することにより、清浄処理対象となる半導体層が実質的にエッチングされず、また、当該半導体層の上部に新たな半導体層が実質的に成長しないようにすることができる。

10 エッチング性物質と、結晶成長原料とのバランスが崩れ、エッチング側に傾くと、エッチングされた物質の再付着が生じ、十分な清浄度が得られない場合がある。一方、成膜の方に傾いた場合、汚染物質が十分に除去されないまま新たな半導体層が積層し、十分な清浄度が得られない。

15 本発明の半導体装置の製造方法において、前記第一の半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少する場合を負と定義し、前記第一の半導体層の表面を清浄処理する前記工程を実施した際の前記第一の半導体層の層厚変化速度を  $R$ 、前記第一の半導体層表面に対して前記第一のガスのみを供給した場合の前記第一の半導体層の層厚変化速度を  $r_1$ 、前記第一の半導体層表面に対して前記第二のガスのみを供給した場合の前記第一の半導体層の層厚変化速度を  $r_2$  としたときに、これらの層厚変化速度の絶対値が、 $|R| < |r_2| <$   
20  $|r_1|$  となるように、前記第一のガスと前記第二のガスの供給量を調整する構成とすることができる。こうすることにより、エッチング性物質および結晶成長原料の供給バランスがさらに適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。

25 本発明の半導体装置の製造方法において、 $R < 0$  である構成とすることができる。こうすることによって、半導体層表面に関し、十分に高い清浄度を実現することができる。

本発明の半導体装置の製造方法において、 $|R|$  が  $0.1 \text{ nm/sec}$  以下で

ある構成とすることができる。こうすることにより、エッチング性物質および結晶成長原料の供給バランスがさらに適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。

- 5      本発明の半導体装置の製造方法において、前記結晶成長原料が、有機金属を含む構成とすることができる。

本発明の半導体装置の製造方法において、前記エッチング性物質がハロゲン元素またはその化合物である構成とすることができる。

- 10      本発明の半導体装置の製造方法において、前記第一の半導体層が化合物半導体からなる構成とすることができる。

本発明の半導体装置の製造方法において、第一の半導体層が III-V 族化合物半導体からなるものとすることができる。このとき、記結晶成長原料が、第一の半導体層を構成する III 族元素を含む化合物である構成とすることができる。また、第一の半導体層を構成する III 族元素が一種類からなるものとすることができる。こ

- 15      うすることにより、半導体層表面の清浄処理中に変成層の形成や組成変化が起こることを抑えることができる。

本発明の半導体装置の製造方法において、第一の半導体層を構成する III 族元素がインジウム (In) である構成とすることができる。InP の気相成長においては、通常、600℃から650℃の成長温度が採用される。これは、V族元素であるリンが脱離することを防止するとともに不純物の亜鉛の拡散を防ぎ、設計通りの不純物プロファイルを得るためのものである。しかしながら、このような比較的低温の成長温度を採用した場合、成長界面の清浄処理がよりいっそう困難となる。一般に、エッチング性ガスによる成長界面の清浄処理は、雰囲気温度を高温にするほど除去効率が高くなる。ところが、InP 半導体系においては、清

20      浄処理温度に上限が存在するため、成長界面の汚染が除去されにくく、特にシリコンの汚染が深刻な問題となる。本発明によれば、係る成長界面の汚染の問題を有効に解決することができる。

本発明の半導体装置の製造方法において、前記第一の半導体層および前記第二

の半導体層を気相成長により形成する構成とすることができる。

本発明の半導体装置の製造方法において、前記第一の半導体層を形成する工程の後、前記第一の半導体層上にマスクを形成し、つづいて前記マスクを除去した後、前記第一の半導体層の表面を清浄処理する前記工程を実施する構成とすることができる。こうした工程を経た場合、第一の半導体層表面は再成長表面となり、大気による汚染、マスク材料の残存等により、表面に多くの不純物が付着しやすい。本発明によれば、こうした不純物を効率的に除去することができる。

本発明の半導体素子は、p型半導体層中の再成長界面の残留Si濃度が面密度で $5 \times 10^{11} \text{ atoms/cm}^2$ 以下であることを特徴とする。

10 また本発明の半導体集積素子は、p型半導体層中の再成長界面の残留Si濃度が面密度で $5 \times 10^{11} \text{ atoms/cm}^2$ 以下であることを特徴とする。

こうすることにより、結晶欠陥やドーパントの拡散が少ない構造となり、IVBAを増加させたり $\eta_i$ を低下させることなく、ブロック層の耐圧を低下させていた漏れ電流を抑制することができ、この結果、良好な発振特性が得られる。また、素子の構造によっては素子間の漏れ電流を抑制できるという効果が得られる。

上記再成長界面は、たとえば、

(i) p型電流ブロック層と、その下部に接する層との界面

(ii) p型クラッド層と、その下部に接する層との界面

(iii) p型クラッド層中の再成長界面

20 とすることができる。

(i)の例としては、p型電流ブロック層とp型基板との界面が挙げられる。(ii)の例としては、p型クラッド層とその下部の活性層や光ガイド層等が挙げられる。

再成長界面の残留Si濃度は、面密度で、 $5 \times 10^{11} \text{ atoms/cm}^2$ 以下とするが、好ましくは、 $1 \times 10^{11} \text{ atoms/cm}^2$ 以下とする。こうすることにより、耐圧特性の向上、漏れ電流の低減を図ることができる。

25 本発明に係る半導体素子、半導体集積素子は、アクティブMMI構造を有するものとすることができる。

以上のように本発明は、以下の効果を有する。

第 1 の効果は、本発明の清浄処理法によれば、もとの半導体層中の不純物拡散や結晶欠陥の発生を誘発することなく、また形状変化を最小限にして、結晶成長前の半導体基板表面や再成長前の半導体表面の不純物汚染や物理的ダメージを再現性良く安定的に除去することが可能であり、成長界面を有する半導体素子の性能改善に大きな効果があることである。

第 2 の効果は、埋め込み型光半導体素子の電流ブロック層となる第 1 の埋め込み層とクラッド層となる第 2 の埋め込み層の間の再成長界面の残留 Si 濃度を  $5 \times 10^{11} \text{atoms/cm}^2$  以下としたことで、ブロック層の耐圧を低下させていた漏れ電流を抑制でき、良好な発振特性を有する埋め込み型半導体レーザを提供することができることである。

第 3 の効果は、埋め込み型光半導体素子の電流ブロック層となる第 1 の埋め込み層とクラッド層となる第 2 の埋め込み層の間の再成長界面の残留 Si 濃度を  $5 \times 10^{11} \text{cm}^{-2}$  以下としたことで、残留 Si による n 転層を再び p 反転させるために Zn を高濃度にドーピングする必要がなくなり、IVBA の増加や  $\eta_i$  の低下を回避でき、良好な発振特性を有する埋め込み型半導体レーザを提供することができることである。

第 4 の効果は、光半導体集積素子においては、クラッド層内の再成長界面の残留 Si 濃度を  $5 \times 10^{11} \text{atoms/cm}^2$  以下にしたことで、素子間の漏れ電流が抑制され、良好な動作特性を有する埋め込み半導体レーザを有する集積素子を提供できることである。

#### 図面の簡単な説明

図 1 は、実施例で作製した半導体層の構造を示す図である。

図 2 は、実施例における残留不純物濃度の SIMS 測定結果を示す図である。

図 3 は、実施例における残留不純物濃度の SIMS 測定結果を示す図である。

図 4 は、実施例における残留不純物濃度の SIMS 測定結果を示す図である。

図 5 は、実施例における残留不純物濃度の SIMS 測定結果を示す図である。

図6は、実施例における残留不純物濃度のSIMS測定結果を示す図である。

図7は、実施例における残留不純物濃度のSIMS測定結果を示す図である。

図8は、実施例における残留Si濃度のTMIn供給量依存性を示す図である。

図9は、実施例における残留Si濃度のTMIn供給量依存性を示す図である。

5 図10は、第二の実施例における埋め込み型半導体レーザ構造を示す図である。

図11は、第5の実施例における本発明の光半導体素子の構造を示す図である。

図12は、第6の実施例における本発明の光半導体素子の構造を示す図である。

図13は、第5の実施例における閾値電流の第2の再成長界面の残留Si濃度依存性を示す図である。

10 図14は、第5の実施例におけるスロープ効率の第2の再成長界面の残留Si濃度依存性を示す図である。

図15は、第5の実施例における150mA通電時の光出力の第2の再成長界面の残留Si濃度依存性を示す図である。

図16は、従来の埋め込み型半導体レーザの断面図である。

15

発明を実施するための最良の形態

本発明における清浄処理の対象となる半導体層は、InGaAs、InGaAsP、AlGaInAs、InAsPなどのInP系、AlGaAs、InGaP、AlGaInP、GaAsSb、InGaAsNなどのGaAs系、GaN、AlGaN、GaInN、AlGaInN、BaGaInNなどのGaN系等のIII-V族化合物半導体；ZnSe、ZnTe、MgZnSSe、MgZnCdSe、MgZnSeTe、ZnSeTe、ZnO、MgZnO、MgCdZnO等のII-VI族化合物半導体；等の化合物半導体のほか、シリコンおよびその化合物、ゲルマニウムおよびその化合物等の半導体により構成される。

25 なお、本発明における清浄処理の対象となる半導体層は、3元系でも4元系以上の組成でもよい。

このうち、III-V族化合物半導体層の表面に、素子の作製プロセスもしくは大気暴露によって付着した汚染物質の除去に本発明を適用した場合、顕著な効果が得

られる。特に、従来技術によっては十分に除去することが困難であったシリコンの除去に適用すると、特に効果的である。

本発明におけるエッチング性物質としては、大多数の元素と結合して揮発性の化合物を形成する、ハロゲン元素またはその化合物を例示することができる。このうち、取り扱いが容易である点で、塩素 (C l) を含む原料であることが好ましく用いられる。

本発明におけるエッチング性物質としては、t-塩化ブチル ( $(\text{CH}_3)_3\text{CCl}$  : TBC l)、ビスジメチルアミノホスフィンクロライド ( $[(\text{CH}_3)_2\text{N}]_2\text{PCl}$  : BDMA PC l)、塩化水素 (HC l) や、塩化メチル ( $\text{CH}_3\text{Cl}$ )、四塩化炭素 ( $\text{CCl}_4$ )、ビスジメチルアミノアルシンクロライド ( $[(\text{CH}_3)_2\text{N}]_2\text{AsCl}$ )、三塩化燐 ( $\text{PCl}_3$ )、三塩化砒素  $\text{AsCl}_3$ 、塩素 ( $\text{Cl}_2$ ) や、同様のBr系原料、I系原料、F系原料を例示することができる。このうち、t-塩化ブチルを用いると、清浄処理の対象となる半導体層のストイキメトリを比較的良好に維持しつつ効果的にエッチングを行うことができる。たとえば、上記半導体層がIII-V族半導体で、エッチングガスが特定のV族元素を含んでいる場合、清浄処理の対象となる半導体層がエッチングガス中に含まれるものと異なる種類のV族元素を含んでいると、清浄処理中に表面に変性層が形成されてしまう問題がしばしば起こるが、t-塩化ブチルはV族元素を含まないため、清浄処理中に変性層が形成されることがなく、好ましい。また、ビスジメチルアミノホスフィンクロライドを用いた場合、エッチング能力の温度依存性が比較的抑制されるため、安定した清浄処理を行うことができる。

また、清浄処理の対象となる半導体層を構成するIII族元素が一種類からなる場合、本発明の表面処理中に変性層の形成や組成変化を起こしにくいため望ましく、さらには第一の半導体を構成するIII族元素がインジウム (In) で、たとえば  $\text{InP}$ 、 $\text{InAs}$ 、 $\text{InN}$ 、 $\text{InSb}$  など、であるか、またはガリウム (Ga)、たとえば  $\text{GaAs}$ 、 $\text{GaP}$ 、 $\text{GaN}$ 、 $\text{GaSb}$  など、である場合、より顕著な効果が現れる。

本発明は、半導体層の成長を気相成長装置を用いて実施する場合、顕著な効果

が得られ、成長原料に有機金属を用いた有機金属気相成長（MOCVD：Metal Organic Vapor Phase Epitaxy）法の場合に、より顕著な効果が現れる。またこの場合、結晶成長原料である水素化合物及び有機金属ガスについては特に限定はされず、所望の化合物半導体を得るのに必要な水素化合物及び有機金属化合物ガスを用いればよい。

次に、本発明の実施の形態について図面を参照して詳細に説明する。

図11を参照すると、本発明の第1の実施の形態として光半導体素子の構造図が示されている。本光半導体素子は、ダブルチャンネル型の埋め込み構造（Double Channel Planar Buried Hetero Structure: DC-PBH）を有する半導体レーザーであり、3回の結晶成長プロセスを経て完成している。即ち、まずn型InP基板500上に活性層502を含むダブルヘテロ構造からなる導波路層を成長し、誘電体マスク等を用いたフォトリソグラフィープロセスを経て所望のパターニングを施した導波路層に、ドライエッチングまたはウェットエッチング等により、溝を隔てて両側に再結合層504を有する導波路を形成する。次に導波路上にだけ誘電体膜を残して、2回目の結晶成長プロセスを実施し、p-InP ブロック層510、n-InP ブロック層512で導波路を埋め込む。このときの再成長界面を第1の再成長界面508と呼ぶ。次に活性層502を含むメサ上の誘電体膜を除去し、3回目の結晶成長プロセスを実施するが、ここでp-InP クラッド層510の成長を開始する直前に、結晶成長装置内において、エッチング作用を有するガスと、成長原料ガスを、エッチング速度と成長速度が丁度同じになる程度供給して、この半導体表面を清浄化する。このとき、光学式の膜厚モニタ等によって、表面の清浄化処理の中の膜厚の変化速度を測定すると、膜厚は僅かに減少するがその大きさは、0.1nm/sec以下である。該清浄化処理の後、p-InP クラッド層514、p型コンタクト層518を成長する。この2回目の再成長プロセスを行った界面を第2の再成長界面と呼ぶ。その後通常の電極形成プロセスを経て、本発明の光半導体素子が完成する。

本光半導体素子においては、第2の再成長界面の残留Si濃度が面密度にして $5 \times 10^{10} \text{ atoms/cm}^2$ 以下と低いため、活性層直上から電流ブロック層への漏れ電流が極

めて少ない。また、残留 Si の影響を打ち消すために、Zn などの過剰の p 型ドーパントを該第 2 の再成長界面近傍にドーピングする必要もないため、内部損失の増大や内部微分量子効率の低下もない。したがって、たとえば本光半導体素子が、半導体レーザの場合は、低閾値、高効率、高出力な半導体レーザが得られる。また本光半導体素子が、光半導体増幅器である場合は、高利得、高飽和出力な半導体増幅器が得られる。

図 12 は、第 2 の実施形態に係る光半導体集積素子の構造図である。本光半導体集積素子は、変調集積型 DFB-LD であり、4 回の結晶成長プロセスを経て完成している。即ち、まず半導体レーザとなる部分にのみ回折格子が形成された n 型 InP 基板 6 0 0 上にレーザの活性層を含むダブルヘテロ (Double Hetero: DH) 構造を成長し、誘電体マスク等を用いたフォトリソグラフィープロセスにより半導体レーザ部分にマスクを形成し、ドライエッチングまたはウェットエッチングにより、変調器部分をエッチングする。

次に、2 回目の結晶成長で、変調器用の活性層 6 0 1 を含む DH 構造を成長する。次に、再び誘電体マスク等を用いたフォトリソグラフィープロセスにより半導体レーザの導波路部と変調器の導波路部分にマスクを形成し、ドライエッチングまたはウェットエッチング等により、導波路以外の部分をエッチングする。次に半導体レーザ用および変調器用の導波路上にだけ誘電体膜を残して、3 回目の結晶成長プロセスを実施し、p-InP ブロック層 6 0 2、半絶縁 (Semi-Insulating:SI) -InP ブロック層 6 0 4、n-InP ブロック層 6 0 6 を成長する。このときの再成長界面を第 2 の再成長界面 6 4 4 と呼ぶ。

次に半導体レーザ用および変調器用の導波路上の誘電体膜を除去し、4 回目の結晶成長プロセスを実施するが、ここで p-InP クラッド層 6 0 8 の成長を開始する直前に、結晶成長装置内において、エッチング作用を有するガスと、成長原料ガスを、エッチング速度と成長速度が丁度同じになる程度供給して、この半導体表面を清浄化する。このとき、光学式の膜厚モニタ等によって、表面の清浄化処理の中の膜厚の変化速度を測定すると、膜厚は僅かに減少するがその大きさは、0.1nm/sec 以下である。該清浄化処理の後、p-InP クラッド層 6 0 8、p 型コン



タクト層 6 1 2 を成長する。この 4 回目の結晶成長プロセスを行った界面を第 3 の再成長界面 6 4 6 と呼ぶ。その後通常の電極形成プロセスを経て、本発明の光半導体素子が完成する。

本光半導体素子においては、第 3 の再成長界面の残留 Si 濃度が面密度にして  
5  $5 \times 10^{10} \text{atoms/cm}^2$  以下と低いため、半導体レーザおよび変調器直上から電流ブロック層への漏れ電流が極めて少ないことに加えて、半導体レーザと変調器間の漏れ電流も極めて少ない。また、残留 Si の影響を打ち消すために、Zn などの過剰の p 型ドーパントを該第 2 の再成長界面近傍にドーピングする必要もないため、半導体レーザ部分においては、p 型ドーパントの拡散に伴う内部損失の増大や内部微  
10 分量子効率の低下がなく、また変調器部分においては、p 型ドーパントの拡散に伴う電界強度の不均分布化もない。したがって、低閾値、高効率、高出力、高速な、変調器集積型 DFB-LD 半導体レーザが得られる。

本実施形態における光半導体素子において、第 1 の再成長界面に本発明の清浄化処理法を適用して、残留 Si 濃度を低減した場合も、リーク電流が低減され、素  
15 子特性が改善される。

また、この光半導体集積素子において、第 1 の再成長界面および第 2 の再成長界面に本発明の清浄化処理法を適用して、残留 Si 濃度を低減した場合も、素子間および単体素子のリーク電流が低減され、素子特性が改善される。

本発明の上記および他の目的、特徴および利点を明確にすべく、添付した図面  
20 を参照しながら、本発明の実施例を以下に詳述するが、本発明は、その要旨を超えない限り実施例に限定されるものではない。

### 第一の実施例

本実施例では、MOVPE法を用いて、InP上にInPを再成長させる場合  
25 の成長界面の残留不純物除去について説明する。エッチング作用を有する原料として、t-塩化ブチル (TBCl :  $(\text{CH}_3)_3\text{CCl}$ ) を用い、結晶成長原料としては、トリメチルインジウム (TMIn) 及びホスフィン ( $\text{PH}_3$ ) を用いた。図1のようにSnドープ {001} InP基板101上に減圧 (60 Torr)

MOVPE法で1回目の成長層としてアンドープInP層103を $1.0\mu\text{m}$ 成長させた後、一旦ウエハをMOVPE炉から取り出し、12時間大気曝露する。ウエット処理等は実施しない。その後、このウエハを再びMOVPE炉内に投入し、2回目の成長層として $0.5\mu\text{m}$ のアンドープInP層105を成長再成長

5 させた。

2回目の成長開始直前の第二の成長界面104で、MOVPE炉内でTBClとTMIn及び $\text{PH}_3$ をウエハの表面に10分間供給して、表面清浄処理を行った(サンプルA)。この表面清浄処理の際のTBClの供給量は $19.4\mu\text{mol}/\text{min}$ で、これはInPのエッチング速度にして $20.5\text{nm}/\text{min}$ に相当

10 し、TMInの供給量は $15.08\mu\text{mol}/\text{min}$ 、 $\text{PH}_3$ の供給量は $2.68\text{mmol}/\text{min}$ であり、これらはInPの成長速度にして $20.5\text{nm}/\text{min}$ に相当する。従って、TBClによるInPのエッチング速度と、TMIn及び $\text{PH}_3$ によるInPの成長速度は等しく、この表面清浄処理中に1回目に成長したアンドープInP層103の層厚変化はない。また表面清浄処理時の基板温度

15 は、 $625^\circ\text{C}$ とした。

比較の為に2回目のInP層成長開始直前の第二の成長界面104でのTBCl、TMIn、及び $\text{PH}_3$ による表面清浄処理を行わずに2回目のアンドープInP層105の成長を開始したサンプル(サンプルB)も作製した。

サンプルA及びサンプルBの二つのサンプルの再成長界面での残留不純物濃度

20 について2次イオン質量分析法(SIMS)を用い、アンドープInP層105をスパッタリングしながら深さ方向の分析を行った。

第二の成長界面104でTBCl、TMIn、及び $\text{PH}_3$ による表面清浄処理を行わなかったサンプルBでは、第二の成長界面104に残留不純物としてC、O、Siが検出され、その濃度はそれぞれ、面密度にしてC： $6.4\times 10^{10}\text{atoms}/\text{cm}^2$ 、O： $6.9\times 10^{11}\text{atoms}/\text{cm}^2$ 、Si： $1.2\times 10^{12}\text{atoms}/\text{cm}^2$ 相当であった。一方、第二の成長界面104でTBCl( $19.4\mu\text{mol}/\text{min}$ )、TMIn( $15.08\mu\text{mol}/\text{min}$ )、及び $\text{PH}_3$ ( $2.68\text{mmol}/\text{min}$ )による表面清浄処理を行ったサンプルAでは、第二の成

25

長界面 104 での C, O, Si 等の残留不純物はいずれも検出限界以下であった。ここで本測定での検出下限はそれぞれ、C :  $6 \times 10^7 \text{ atoms/cm}^2$ 、O :  $6 \times 10^8 \text{ atoms/cm}^2$ 、Si :  $6 \times 10^7 \text{ atoms/cm}^2$  相当であった。またエッチングガスとして導入した Cl も全く検出されなかった。ここで Cl の  
5 検出下限は、 $3 \times 10^7 \text{ atoms/cm}^2$  程度であった。

なお、本実施例では第二の成長界面 104 の清浄処理を例にあげて説明したが、第一の成長界面 102 の清浄処理に本発明を適用することもできる。

### 第二の実施例

本実施例では、本発明を InP 系半導体レーザ素子に適用した。本実施例では、  
10 活性層を最上層とする半導体多層膜を形成した後、活性層表面の一部を覆うマスクを形成し、このマスクの両脇の部分をエッチングにより除去し、メサストライプを設ける。この段階で本発明に係る清浄処理を実施した後、メサの両脇に半導体層を埋込む。その後、メサ表面に対して本発明に係る清浄処理を実施し、つづいて上層の半導体層を成長させる。以下、図 10 を参照して説明する。

15 まず通常の結晶成長プロセスにより、n 型 InP 基板 301 上に InGaAsP / InGaAsP 量子井戸 307 を活性層とするダブルヘテロ構造を作製し、SiO<sub>2</sub> をマスクとして、ドライエッチングにより深さ 2 μm 程度の幅 2 μm のメサストライプ 310 を形成した。その後、このウエハを MOVPE 炉内に導入し、第一の再成長界面 308 に第一の実施例と同じ条件で上記本発明の表面清浄処理  
20 を施した後に、p 型 InP 層 302、n 型 InP 層 303、p 型 InP 層 304 を順次積層して電流ブロック構造を形成した。

次にこのウエハを MOVPE 炉外に取り出し、SiO<sub>2</sub> マスクを通常のウェットエッチングプロセスにより除去した後、再び MOVPE 炉内に投入し、第二の再成長界面 309 に、再度、第一の実施例と同様の条件で表面清浄処理を実施した  
25 後、p 型 InP クラッド層 305、p-InGaAs コンタクト層 306 を形成した。その後、通常の電極形成プロセス、素子分離プロセスを行い、埋め込み型レーザ素子を完成させた。

この素子の電圧-電流特性、電流-光出力特性を測定したところ、本発明の表

面清浄処理を用いない従来の素子に比べて、スロープ効率が大幅に改善されると共に、高光出力時の電力－光出力変換特性が大幅に改善され、同じ光出力を得るのに必要な駆動電圧が大幅に低減されていることが確認された。これは、本発明の表面清浄処理により電流ブロック層形成前の第一の再成長界面 308 の Si 等の n 型残留不純物が減少したことにより、リーク電流が減少し、またクラッド、コンタクト層形成前の第二の再成長界面 309 の Si 等の n 型残留不純物が減少したことにより、電流障壁が取り除かれ、駆動電圧の低下した効果によるものであると考えられる。

なお、本実施例では、第一の再成長界面 308 および第二の再成長界面 309 の両方に表面清浄処理を施したが、いずれか一方、たとえば第二の再成長界面 309 に対してのみ清浄処理を施してもよい。

### 第三の実施例

本実施例では、清浄処理の条件を変更したこと以外は第一の実施例と同様にして半導体多層構造を作製し、第二の成長界面 104 での C, O, Si 等の残留不純物密度を測定した。清浄処理の条件は表 1 に示した。表 1 の「処理条件」における各項目について、以下、説明する。

#### (i) ガスの種類

t-塩化ブチル (TBCl :  $(\text{CH}_3)_3\text{CCl}$ )、ビスジメチルアミノホスフィンクロライド (BDMAPCl :  $[(\text{CH}_3)_2\text{N}]_2\text{PCl}$ ) を用いた。

#### (ii) ガスの流量

MOVPE 炉内へのガスの供給量を示す。

#### (iii) エッチング速度

表中に示された流量でエッチングガスのみを供給した場合のエッチング速度を示す。この値は予備実験により求められたものである。

#### (iv) 成長速度

表中に示された流量で成長ガスのみを供給した場合の成長速度を示す。この値は予備実験により求められたものである。

#### (v) 膜厚変化指数

層厚が増加する場合を正、層厚が減少する場合を負と定義し、成長速度とエッチング速度の和を「膜厚変化指数」と定義した。清浄処理工程の前後における層厚変化の指標となる。

(v i) ガス供給方式

- 5 連続方式とは、エッチングガスおよび成長ガスを一定時間連続的に供給する方式である。間欠方式とは、エッチングガスおよび成長ガスを一定時間、間欠的に供給する方式であり、ガスを供給する時間とガスの供給を停止する時間を交互に繰り返す。

(v i i) ウエットエッチング

- 10 アンドープ InP 層 103 の清浄処理の前に、エッチング液を用いたエッチング処理を行った場合、ウエットエッチング「有り」と表記した。

(試料 1 ~ 4)

- エッチング作用を有する原料として、 $t$ -塩化ブチル ( $\text{TBCl} : (\text{CH}_3)_3\text{CCl}$ ) またはビスジメチルアミノホスフィンクロライド ( $\text{BDMAPCl} : [(\text{CH}_3)_2\text{N}]_2\text{PCL}$ ) を用い、結晶成長原料としては、トリメチルインジウム ( $\text{TMI n}$ ) 及びホスフィン ( $\text{PH}_3$ ) を用いた。図 1 のように Sn ドープ {001} InP 基板 101 上に減圧 (60 Torr) MOVPE 法で 1 回目の成長層としてアンドープ InP 層 103 を  $1.0 \mu\text{m}$  成長させた後、一旦ウエハを MOVPE 炉から取り出し、12 時間大気曝露する。その後、アンドープ InP 層 103 の表面を硫酸含有液によりウエットエッチングし、つづいて純水によりリンスを行った。
- 15
- 20

その後、このウエハを再び MOVPE 炉内に投入し、表 1 に示す条件で清浄処理を行った後、2 回目の成長層として  $0.5 \mu\text{m}$  のアンドープ InP 層 105 を再成長させた。

- 25 各試料における清浄処理は以下のとおりである。

試料 1 では清浄処理を行わなかった。

試料 2 では、2 回目の成長開始直前の第二の成長界面 104 で、MOVPE 炉内で TBCl と TMI n 及び  $\text{PH}_3$  をウエハの表面に 10 分間供給して、表面清浄

処理を行った。各ガスの供給量等は表1に示したとおりである。ガスの供給は連続方式とした。清浄処理時の基板温度は、625℃とした。処理前後におけるアンドープInP層103の層厚変化は認められなかった。

試料3では、2回目の成長開始直前の第二の成長界面104で、MOVPE炉  
5 内で以下のような処理を行った。すなわち、(i) TBClとTMIn及びPH<sub>3</sub>をウエハの表面に1分間供給した後、(ii) 15秒間、PH<sub>3</sub>を大量に供給してパージを行う、というステップを、20回繰り返して実施した。各ガスの供給量等は表1に示したとおりである。清浄処理時の基板温度は、625℃とした。処理前後におけるアンドープInP層103の層厚変化は100nm以下であった。

10 試料4では、2回目の成長開始直前の第二の成長界面104で、MOVPE炉内でビスジメチルアミノホスフィנקロライド(BDMAPCl)とTMIn及びPH<sub>3</sub>をウエハの表面に10分間供給して、表面清浄処理を行った。各ガスの供給量等は表1に示したとおりである。ガスの供給は連続方式とした。清浄処理時の基板温度は、625℃とした。処理前後におけるアンドープInP層103の  
15 層厚変化の程度は表中に示したとおりであった。

(試料5～6)

エッチング作用を有する原料として、t-塩化ブチル(TBCl : (CH<sub>3</sub>)<sub>3</sub>CCl)またはビスジメチルアミノホスフィנקロライド(BDMAPCl : [(CH<sub>3</sub>)<sub>2</sub>]N<sub>2</sub>PCl)を用い、結晶成長原料としては、トリメチルインジ  
20 ウム(TMIn)及びホスフィン(PH<sub>3</sub>)を用いた。図1のようにSnドーパ{001}InP基板101上に減圧(60 Torr)MOVPE法で1回目の成長層としてアンドープInP層103を1.0μm成長させた後、一旦ウエハをMOVPE炉から取り出し、12時間大気曝露する。その後、ウエットエッチングを行うことなく、このウエハを再びMOVPE炉内に投入し、表1に示す条  
25 件で清浄処理を行った。その後、2回目の成長層として0.5μmのアンドープInP層105を再成長させた。

各試料における清浄処理は以下のとおりである。

試料5では清浄処理を行わなかった。

試料 6 では、2 回目の成長開始直前の第二の成長界面 1 0 4 で、MOVPE 炉内で TBCl と TMIn 及び  $\text{PH}_3$  をウエハの表面に 1 0 分間供給して、表面清浄処理を行った。各ガスの供給量等は表 1 に示したとおりである。ガスの供給は連続方式とした。清浄処理時の基板温度は、6 2 5 °C とした。処理前後におけるアンダーープ InP 層 1 0 3 の層厚変化は認められなかった。

上記各試料の清浄処理中の層厚変化は、いずれも 1 0 0 nm 以下であった。

上記各試料について、第一の実施例と同様にして SIMS により残留不純物綿密度を測定した。結果を表 1 および図 2 ~ 7 に示す。図 2 ~ 7 は、それぞれ、試料 1 ~ 6 の測定結果に対応する。表 1 中、「n. d.」とは、検出不可であったことを意味する。試料 NO. 5 においては、該当するピークに対応する濃度は算出されたものの、ノイズとの判別が困難であったため、参考値として数値を示した。なお、図 2 ~ 7 では、不純物濃度（単位：atoms/cm<sup>3</sup>）として算定された数値（縦軸）を、面密度として換算し、この値を該当ピークに対応させて図中に記載した（単位：atoms/cm<sup>2</sup>）。

得られた結果より、以下のことが明らかになった。すなわち、膜厚変化指数が 6 nm 以下（0. 1 nm/sec 以下）となるようにエッチングガスと成長ガスの供給比を調整することにより、残留不純物面密度が顕著に低減される。特に Si が効果的に除去される。また、ガス供給方式は、間欠式が効果的である。間欠供給とすることによって残留不純物密度が顕著に低減される。清浄処理前のウェットエッチングは、実施しない方が残留不純物密度が小さい。

表 1

試料			1	2	3	4	5	6
処理条件	エッチング ガス	種類	なし	TBCL	TBCL	BDMAPCL	なし	TBCL
		流量 (μmol/min)		19	36	27		19
		エッチング速度 (nm/min)		20.5	38.8	14.4		20.5
	成長ガス	種類		TMI n	TMI n	TMI n		TMI n
		流量 (μmol/min)		16	27	14		16
		成長速度 (nm/min)		20.5	34.6	17.9		20.5
	膜厚変化指数 (nm/min)			0	-4.2	3.5		0
	ガス供給方式			連続	間欠	連続		連続
ウェットエッチング		有り	有り	有り	有り	なし	なし	
評価結果	残留不純物	Si	1.2E+12	2.5E+11	5.4E+10	5.4E+10	4.5E+11	N.D.(4.7E+9)
	面密度	C	5.0E+10	3.3E+10	N.D.	N.D.	N.D.	N.D.
	(atoms/cm <sup>2</sup> )							



#### 第四の実施例

本実施例では、第三の実施例と同様の実験を、ガス流量比を変化させて行ったものである。

- 5 図1と同様のサンプル構造において第二の成長界面104での表面清浄処理条件としては、エッチングガスであるTBC1の供給量を $19.4 \mu\text{mol}/\text{min}$  (InPのエッチング速度にして $20.5 \text{ nm}/\text{min}$ 相当)、 $\text{PH}_3$ 供給量を $2.68 \text{ mmol}/\text{min}$ と一定にし、TMInの供給量を $0 \sim 30 \mu\text{mol}/\text{min}$ の間で変化させて、10分間表面清浄処理を行い、続けてアンドープInP層105を成長した。続けてSIMS分析により第2界面の残留Si濃度について調べた。

図8は、第三の実施例における試料2のTMIn流量を変化させたもの(図中、「残留Si(連続型)」と表示)と、第三の実施例における試料3のTMIn流量を変化させたもの(図中、「残留Si(間欠型)」と表示)とが示されている。

- 15 図9は、第三の実施例における試料4のTMIn流量を変化させたものが示されている。

図8および図9には、残留Siの面密度と共に、TBC1及びTMInによるInPの成長速度(即ちアンドープInP層103(第一の半導体層)の膜厚変化速度)を正、エッチングを負として示した。

- 20 いずれの系においてもTMInの供給量と共に残留Si濃度が減少し、成長速度が $0 \text{ nm}/\text{sec}$ になる付近で、残留Si濃度は最小値を示し、さらにTMIn流量を増やすと、再び残留Si濃度は上昇した。これは、エッチングガスのTBC1のみを第二の成長界面104に供給した場合、表面の残留Siは揮発性の塩化物 $\text{SiCl}_x$ として一旦は表面から脱離するものの、 $\text{Si}-\text{Cl}$ の結合が、  
25  $\text{Si}-\text{P}$ の結合に比べて弱く、 $\text{Si}-\text{Cl}$ の結合がすぐに切れてまた表面に再付着してしまうが、TMInをTBC1と同時に供給すると、Siが $\text{SiCl}_x$ として表面から脱離すると同時に、それまでSiが占有していた安定なIII族サイトがInで埋まり、一旦表面から脱離したSiが再びInP表面に付着出来ずに表

面から脱離していくためと考えられる。従ってS i の脱離効率はT B C l による I n P のエッチング速度とT M I n による I n P の成長速度が丁度釣り合うあたりで最大となる。T M I n による I n P の成長速度がT B C l による I n P のエッチング速度を上回ると、今度はS i が脱離する前に、I n P 層が成長してしま  
5 い、表面の清浄処理が行われなくなるため第二の成長界面1 0 4 での残留S i 濃度が上昇するものと考えられる。

図8および図9の結果から、0. 1 nm / s e c 以内の層厚変化速度とした場合、特に層厚変化が実質的にない場合に、残留S i 密度が顕著に低減されることが判明した。

## 10 第五の実施例

図11に示すように、本実施例に係る光半導体素子は、ダブルチャンネル型の埋め込み構造(double Channel planar buried Hetero structure: DC-PBH)を有しており、3回の結晶成長プロセスを経て完成した。即ち、まずn型InP基板500上にInGaAsP多重量子井戸(multiple quantum well: MQW)活性層502を含むダブル  
15 ヘテロ構造からなる導波路層を成長し、S i O<sub>2</sub>マスクを用いたフォトリソグラフィプロセスを経て所望のパターニングを施した幅2μmの導波路層に、ドライエッチングまたはウェットエッチング等により、幅5μmの溝を隔てて両側に再結合層を有する導波路を形成した。次に導波路上にだけS i O<sub>2</sub>膜を残して、2回目の結晶成長プロセスを実施し、p-InPブロック層510、n-InPブロック層512で  
20 導波路を埋め込んだ。このときの再成長界面を第1の再成長界面508と呼ぶ。次にMQW活性層を含むメサ上の誘電体膜を除去し、3回目の結晶成長プロセスを実施した。ここで、この再成長界面を第2の再成長界面506と呼ぶ。3回目の結晶成長プロセスでは、p-InPクラッド層514の成長を開始する直前に、有機金属気相成長(metal organic vapor phase epitaxy: MOVPE)炉内において、エッチ  
25 ングガスであるTBClと、成長原料であるTMInとPH<sub>3</sub>を、エッチング速度と成長速度が丁度同じになる程度供給して、この第2の再成長界面を清浄化した。この表面清浄処理の際のTBClの供給量は19. 4 μmol / minで、これはI n P のエッチング速度にして20. 5 nm / minに相当し、TMInの供給

量は  $15.08 \mu\text{mol}/\text{min}$ 、 $\text{PH}_3$  の供給量は  $2.68 \text{mmol}/\text{min}$  であり、これらは  $\text{InP}$  の成長速度にして  $20.5 \text{nm}/\text{min}$  に相当する。従って、 $\text{TBCl}$  による  $\text{InP}$  のエッチング速度と、 $\text{TMI n}$  及び  $\text{PH}_3$  による  $\text{InP}$  の成長速度は等しく、この表面清浄処理中に 2 回目の結晶成長プロセスまでに成長した  $\text{InP}$  層に層厚変化はない。また清浄化処理の時間は 0 秒から 10 分の間で変化させた。該清浄化処理の後、 $\text{p-InP}$  クラッド層 514、 $\text{p}$  型  $\text{InGaAs}$  コンタクト層 518 を成長した。その後通常の電極形成プロセスを経て、本発明の光半導体素子を完成した。

- 素子長を  $300\mu\text{m}$  にへき開し、端面コーティングはせずに、発振特性を評価した。
- 10 評価結果を表 2 に示す。ここで残留  $\text{Si}$  面密度は、 $\text{SIMS}$  で分析した第 2 の再成長界面における残留  $\text{Si}$  面密度であり、本測定における  $\text{Si}$  の検出下限は、 $6 \times 10^7 \text{atoms}/\text{cm}^2$  相当であった。残留  $\text{Si}$  面密度は、処理時間と共に減少し、600 秒では、検出下限以下にまで低下した。残留  $\text{Si}$  面密度の低下に伴い、閾値電流、スロープ効率、光出力とも顕著に改善された。図 13 は閾値電流の残留  $\text{Si}$  面密度依存性を示す図である。また、図 14 は、スロープ効率の第 2 の再成長界面の残留  $\text{Si}$  濃度依存性を示す図である。また、図 15 は、150mA 通電時の光出力の第 2 の再成長界面の残留  $\text{Si}$  濃度依存性を示す図である。残留  $\text{Si}$  面密度を、約  $1 \times 10^{11} \text{cm}^{-2}$  以下にすることで、清浄化処理をしない場合に比べて、閾値電流は約 20% 低減し、5.5mA となった。また、スロープ効率は約 20% 改善し、0.34W/A、150mA 通電時の光出力は 1.4 倍の 45mW となった。また比較のために、本発明の清浄化処理を用いずに、特許文献 4 に開示されている技術を用いて、約  $2 \times 10^{18} \text{cm}^{-3}$  の高濃度の  $\text{Zn}$  を第 2 の成長界面近傍の  $0.2\mu\text{m}$  にドーピングしたサンプルも作製した。この場合、閾値、スロープ効率、150mA 通電時の光出力は 6.3mA、スロープ効率は 0.31W/A、150mA 通電時の光出力は 38mW となり、改善効果はあるものの十分でなく、本発明の清浄化処理により残留  $\text{Si}$  濃度を約  $5 \times 10^{11} \text{cm}^{-2}$  以下に下げたほうが、改善効果は大きいことが確認された。これは、特許文献 4 の技術では、残留  $\text{Si}$  による  $\text{n}$  型層形成の影響は高濃度の  $\text{Zn}$  のドーピングにより補償できるものの、過剰の  $\text{Zn}$  をドーピングすることによって、クラッド層での価電子帯間吸収損失
- 15
- 20
- 25

(Inter Valence Band Absorption: IVBA)が増大し、また活性層に Zn が拡散して、内部微分量子効率 ( $\eta_i$ ) が低下したせいと考えられる。これに対し、本発明の光半導体素子においては、高濃度の Zn を第2の再成長界面の近傍にドーピングすることなく、残留 Si 濃度が面密度を減少させて、n 転層の形成を回避しているため、

5 IVBA の増加や、 $\eta_i$  の低下を招くことなく、活性層直上から電流ブロック層への漏れ電流を抑制できるため、閾値、スロープ効率、光出力ともに大幅に改善できたものと考えられる。

表 2

サンプル	ドーピング層	清浄化 処理時間	残留Si面密度	閾値電流	スロープ効率	光出力 (@150mA)
	cm-3	(sec)	(atoms/cm <sup>2</sup> )	(mA)	(W/A)	(mW)
LD-1	N/A	0	1.2E+12	7	0.28	32
LD-2	N/A	10	1.0E+12	6.8	0.29	34
LD-3	N/A	30	7.3E+11	6.5	0.3	36
LD-4	N/A	60	4.4E+11	6	0.32	40
LD-5	N/A	180	6.0E+10	5.5	0.34	45
LD-6	N/A	300	8.1E+09	5.5	0.34	45
LD-7	N/A	600	6.0E+07	5.5	0.34	45
ref	2×10 <sup>18</sup>	0	1.20E+12	6.3	0.31	38

10

## 第六の実施例

図12は本実施例に係る光半導体集積素子の構造図である。本光半導体集積素子は、変調集積型DFB-LDであり、4回の結晶成長プロセスを経て完成した。即ち、まず半導体レーザとなる部分にのみ回折格子が形成されたn型InP基板600上にInGaAsP MQW活性層601を含むダブルヘテロ(Double Hetero: DH)構造を成長した。次いで、誘電体マスク等を用いたフォトリソグラフィープロセスにより半導体レーザ部分にマスクを形成し、ドライエッチングまたはウェットエッチングにより、変調器部分をエッチングした。次に、2回目の結晶成長で、変調器用のInGaAsP MQW層603を含むDH構造を成長した。このときの再成長界面を第1の再成長界面620と呼ぶ。

次に、再び誘電体マスク等を用いたフォトリソグラフィープロセスにより半導体レーザの導波路部と変調器の導波路部分にマスクを形成し、ドライエッチングまたはウェットエッチング等により、導波路以外の部分をエッチングした。

次に半導体レーザ用および変調器用の導波路上にだけ誘電体膜を残して、3回目の結晶成長プロセスを実施し、厚さ0.1 $\mu\text{m}$ でp型キャリア濃度 $5 \times 10^{17} \text{cm}^{-2}$ のp-InPブロック層602、厚さ1.5 $\mu\text{m}$ で抵抗率 $1 \times 10^9 \Omega \text{cm}$ の半絶縁(Semi-Insulating:SI)-InPブロック層604、厚さ0.1 $\mu\text{m}$ でn型キャリア濃度 $3 \times 10^{18} \text{cm}^{-3}$ のn-InPブロック層606を成長した。このときの再成長界面を第2の再成長界面644と呼ぶ。

次に半導体レーザ用および変調器用の導波路上の誘電体膜を除去し、4回目の結晶成長プロセスを実施した。この再成長界面を第3の再成長界面と呼ぶ。4回目の結晶成長プロセスでは、p-InPクラッド層608の成長を開始する直前に、MOVPE炉内において、エッチングガスであるTBClと、成長原料であるTMInと $\text{PH}_3$ を、エッチング速度と成長速度が丁度同じになる程度供給して、この第2の再成長界面を清浄化した。この表面清浄処理の際のTBClの供給量は19.4  $\mu\text{mol/min}$ で、これはInPのエッチング速度にして20.5  $\text{nm/min}$ に相当し、TMInの供給量は15.08  $\mu\text{mol/min}$ 、 $\text{PH}_3$ の供給量は2.68  $\text{mmol/min}$ であり、これらはInPの成長速度にして20.5  $\text{nm/min}$

m/minに相当する。従って、TBC1によるInPのエッチング速度と、TMIn及びPH<sub>3</sub>によるInPの成長速度は等しく、この表面清浄処理中に2回目の結晶成長プロセスまでに成長したInP層に層厚変化はない。表面処理時間は、10分間とした。

- 5     該清浄化処理の後、p-InP クラッド層608、p型コンタクト層622を成長する。その後、通常の電極形成プロセスを経て、本発明の光半導体素子が完成する。

比較のために該第3の再成長界面に該表面処理を行わずに作製した変調器集積型DFB-LDと比べると、本発明の表面処理を施した上記変調器集積型DFB-LDにおいては、第3の再成長界面の残留Si濃度がSIMSの検出下限の6x  
10   10<sup>7</sup>atoms/cm<sup>2</sup>以下と低いため、半導体レーザおよび変調器直上から電流ブロック層への漏れ電流が極めて少ないことに加えて、半導体レーザと変調器間の漏れ電流も極めて少ない。また、残留Siの影響を打ち消すために、Znなどの過剰のp型ドーパントをこの再成長界面近傍にドーピングする必要もないため、半導体レーザ部分においては、p型ドーパントの拡散に伴う内部損失の増大や内部微分量  
15   子効率の低下がなく、また変調器部分においては、p型ドーパントの拡散に伴う電界強度の不均分布化もない。この結果、閾値にして約10%、スロープ効率が5%、出力10%に加え、周波数応答特性が3dBダウンの周波数で、約20%の改善効果が得られた。

- 以上、実施例に基づいて本発明を説明したが、本発明は上記各実施例に限定さ  
20   れず、本発明の技術思想の範囲内において、種々の態様をとることができる。

たとえば上記実施例では、エッチング作用を有する原料として、TBC1、ビスジメチルアミノホスフィンクロライド（[(CH<sub>3</sub>)<sub>2</sub>]N<sub>2</sub>PCl）を用いたが、他のCl系原料、例えば塩化水素（HCl）や、塩化メチル（CH<sub>3</sub>Cl）、四塩化炭素（CCl<sub>4</sub>）、ビスジメチルアミノアルシンクロライド（[(CH<sub>3</sub>)  
25   <sub>2</sub>]N<sub>2</sub>AsCl）、三塩化燐（PCl<sub>3</sub>）、三塩化砒素AsCl<sub>3</sub>、塩素（Cl<sub>2</sub>）や、同様のBr系原料、I系原料、F系原料を用いてもよい。他の原料を用いる場合、原料の分解効率やエッチング効率は原料によって異なるが、基本的には上記実施例に示したようにエッチング原料による半導体層のエッチング速度と結

晶成長原料による半導体層の成長速度をバランスさせることで最大のエッチング効率が得られ、同様の効果が得られる。

また上記実施例では、結晶成長法としてMOVPE法を使った場合を例として説明したが、他の成長手法、たとえば分子線エピタキシー（MBE）法やガスソースMBE（GSMBE）法、有機金属MBE（MOMBE）法、化学ビーム成長（CBE）法などを使っても良い。また上記実施例では、InP系材料について説明したが、本発明はこれに制限されるものではなく、GaAs、InAs、GaP、GaNなどの他のIII-V族化合物半導体やII-VI族化合物半導体などの半導体材料に適用可能である。

- 10      また基板温度については、上記実施例では、625℃としたが、通常の結晶成長が可能な温度範囲例えばInPであれば400℃～700℃程度の間、GaAsであれば400℃から800℃の間であればよく、エッチング原料による半導体層のエッチング速度や結晶成長原料による半導体層の成長速度の基板温度による変化を補正して、両者がバランスさせることで最大のエッチング効率が得られ、
- 15      同様の効果がある。

- また、上記実施例では半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に半導体層表面に供給したが、これらを交互に供給する方式とすることもできる。この場合、半導体層の成長が過度に進行してしまうと十分な清浄度を実現することが困難となるため、1～3原子層程度の厚みの成長が進行した後、エッチングが行われると
- 20      いうように、成長ガスとエッチングガスの切り替えを迅速に行うことが望ましい。

- また上記実施例では、DFB-LDと変調器を組み合わせた変調器集積型DFB-LDを例として本発明の光半導体集積素子について説明したが、DFB-LDの代わりに、ファブリペローレーザやFP-LD、DBR-LD、半導体増幅器などを集積した素子にも有効であるし、集積する素子の数も2つに限らず、さらに多数の素子を集積した場合にも有効である。
- 25

また上記実施例では、DC-PBH構造のファブリペローレーザを本発明の光半導体素子の一例として説明したが、他の構造の半導体レーザや、SOAや変調器など

の他の単体アクティブデバイスに用いても有効である。特に、活性層面積の大きなアクティブ MMI-LD に用いた場合は、高電流注入時の出力飽和が抑制され、最大光出力が大幅に改善されるなど、顕著な効果がある。特に本発明は、アクティブMMI構造を有する素子に好適に適用される。

5

#### 産業上の利用可能性

以上説明したように、本発明によれば、もとの半導体層中の不純物拡散や結晶欠陥の発生を誘発することなく、また形状変化を最小限にして、結晶成長前の半導体基板表面や再成長前の半導体表面の不純物汚染や物理的ダメージを再現性良

10 く安定的に除去することが可能であり、成長界面を有する半導体素子の性能改善に大きな効果がある。



## 請 求 の 範 囲

1. 半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを、同時に、または交互に、前記半導体層に接触せしめる清浄処理工程を含むことを特徴とする清浄処理方法。
2. 半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質と結晶成長原料とを含む雰囲気の前記半導体層の表面を暴露する清浄処理工程を含むことを特徴とする清浄処理方法。
3. 半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する清浄処理工程を含むことを特徴とする清浄処理方法。
4. 請求の範囲 3 に記載の清浄処理方法において、前記第一のガスおよび前記第二のガスが、間欠的に供給されることを特徴とする清浄処理方法。
5. 請求の範囲 1 乃至 4 いずれかに記載の清浄処理方法において、前記清浄処理工程を実施する前後における前記半導体層の層厚の差が、100 nm 以下であることを特徴とする清浄処理方法。
6. 請求の範囲 1 乃至 5 いずれかに記載の清浄処理方法において、前記清浄処理工程を実施する際に、前記半導体層の層厚が実質的に減少しないようにしたことを特徴とする清浄処理方法。
7. 請求の範囲 5 または 6 に記載の清浄処理方法において、前記エッチング性物質および前記結晶成長原料の量比を調整することにより前記半導体層の層厚変化を制御することを特徴とする清浄処理方法。
8. 請求の範囲 3 または 4 に記載の清浄処理方法において、前記半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少す

る場合を負と定義し、

前記清浄処理工程を実施した際の前記半導体層の層厚変化速度を  $R$ 、

前記半導体層表面に対して前記第一のガスのみを供給した場合の前記半導体層の層厚変化速度を  $r_1$ 、

- 5 前記半導体層表面に対して前記第二のガスのみを供給した場合の前記半導体層の層厚変化速度を  $r_2$

としたときに、

これらの層厚変化速度の絶対値が、

$$|R| < |r_2| < |r_1|$$

- 10 となるように、前記第一のガスと前記第二のガスの供給量を調整することを特徴とする清浄処理方法。

9. 請求の範囲 8 に記載の清浄処理方法において、 $R < 0$ であることを特徴とする清浄処理方法。

10. 請求の範囲 8 または 9 に記載の清浄処理方法において、 $|R|$  が  $0.1 \text{ nm/s}$  以下であることを特徴とする清浄処理方法。

11. 請求の範囲 1 乃至 10 いずれかに記載の清浄処理方法において、前記結晶成長原料が、前記半導体層を構成する元素を含むことを特徴とする清浄処理方法。

12. 請求の範囲 1 乃至 11 いずれかに記載の清浄処理方法において、前記結晶成長原料が、有機金属を含むことを特徴とする清浄処理方法。

- 20 13. 請求の範囲 1 乃至 12 いずれかに記載の清浄処理方法において、前記エッチング性物質がハロゲン元素またはその化合物であることを特徴とする清浄処理方法。

14. 請求の範囲 1 乃至 13 いずれかに記載の清浄処理方法において、前記半導体層が化合物半導体からなることを特徴とする清浄処理方法。

- 25 15. 請求の範囲 14 に記載の清浄処理方法において、前記半導体層が III-V 族化合物半導体からなることを特徴とする清浄処理方法。

16. 請求の範囲 15 に記載の清浄処理方法において、前記結晶成長原料が、前記半導体層を構成する III 族元素を含む化合物であることを特徴とする清浄処理方

法。

17. 請求の範囲15または16に記載の清浄処理方法において、前記半導体層を構成するIII族元素が一種類からなることを特徴とする清浄処理方法。

18. 請求の範囲15乃至17いずれかに記載の清浄処理方法において、前記半導体層を構成するIII族元素がインジウム(In)であることを特徴とする清浄処理方法。

19. 半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、

前記第一の半導体層上に第二の半導体層を形成する工程とを含み、

10 前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを、前記半導体層の表面に接触せしめる工程を含むことを特徴とする半導体装置の製造方法。

20. 半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、

15 前記第一の半導体層上に第二の半導体層を形成する工程とを含み、

前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と結晶成長原料とを含む雰囲気の前記半導体層の表面を暴露する工程を含むことを特徴とする半導体装置の製造方法。

21. 半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、

20 前記第一の半導体層上に第二の半導体層を形成する工程とを含み、

前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する工程を含むことを特徴と

25 する半導体装置の製造方法。

22. 請求の範囲21に記載の半導体装置の製造方法において、前記第一のガスおよび前記第二のガスが、間欠的に供給されることを特徴とすることを特徴とする半導体装置の製造方法。

23. 請求の範囲19乃至22いずれかに記載の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する前後における前記第一の半導体層の層厚の差が、100nm以下であることを特徴とする半導体装置の製造方法。

- 5 24. 請求の範囲19乃至23いずれかに記載の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する際に、前記第一の半導体層の層厚が実質的に減少しないようにしたことを特徴とする半導体装置の製造方法。

- 10 25. 請求の範囲23または24に記載の半導体装置の製造方法において、前記エッチング性物質および前記結晶成長原料の量比を調整することにより前記第一の半導体層の層厚変化を制御することを特徴とする半導体装置の製造方法。

26. 請求の範囲21または22に記載の半導体装置の製造方法において、前記第一の半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少する場合を負と定義し、

- 15 前記第一の半導体層の表面を清浄処理する前記工程を実施した際の前記第一の半導体層の層厚変化速度を $R$ 、

前記第一の半導体層表面に対して前記第一のガスのみを供給した場合の前記第一の半導体層の層厚変化速度を $r_1$ 、

- 20 前記第一の半導体層表面に対して前記第二のガスのみを供給した場合の前記第一の半導体層の層厚変化速度を $r_2$

としたときに、

これらの層厚変化速度の絶対値が、

$$|R| < |r_2| < |r_1|$$

- 25 となるように、前記第一のガスと前記第二のガスの供給量を調整することを特徴とする半導体装置の製造方法。

27. 請求の範囲26に記載の半導体装置の製造方法において、 $R < 0$ であることを特徴とする半導体装置の製造方法。

28. 請求の範囲26または27に記載の半導体装置の製造方法において、 $|R$

l が  $0.1 \text{ nm/sec}$  以下であることを特徴とする半導体装置の製造方法。

29. 請求の範囲 19 乃至 28 いずれかに記載の半導体装置の製造方法において、前記結晶成長原料が、前記第一の半導体層を構成する元素を含むことを特徴とする半導体装置の製造方法。

5 30. 請求の範囲 19 乃至 29 いずれかに記載の半導体装置の製造方法において、前記結晶成長原料が、有機金属を含むことを特徴とする半導体装置の製造方法。

31. 請求の範囲 19 乃至 30 いずれかに記載の半導体装置の製造方法において、前記エッチング性物質がハロゲン元素またはその化合物であることを特徴とする半導体装置の製造方法。

10 32. 請求の範囲 19 乃至 31 いずれかに記載の半導体装置の製造方法において、前記第一の半導体層が化合物半導体からなることを特徴とする半導体装置の製造方法。

33. 請求の範囲 32 に記載の半導体装置の製造方法において、前記第一の半導体層が III-V 族化合物半導体からなることを特徴とする半導体装置の製造方法。

15 34. 請求の範囲 33 に記載の半導体装置の製造方法において、前記結晶成長原料が、前記半導体層を構成する III 族元素を含む化合物であることを特徴とする半導体装置の製造方法。

35. 請求の範囲 34 に記載の半導体装置の製造方法において、前記半導体層を構成する III 族元素が一種類からなることを特徴とする半導体装置の製造方法。

20 36. 請求の範囲 35 に記載の半導体装置の製造方法において、前記半導体層を構成する III 族元素がインジウム (In) であることを特徴とする半導体装置の製造方法。

37. 請求の範囲 19 乃至 36 いずれかに記載の半導体装置の製造方法において、前記第一の半導体層および前記第二の半導体層を気相成長により形成することを  
25 特徴とする半導体装置の製造方法。

38. 請求の範囲 19 乃至 37 いずれかに記載の半導体装置の製造方法において、前記第一の半導体層を形成する工程の後、前記第一の半導体層上にマスクを形成し、つづいて前記マスクを除去した後、前記第一の半導体層の表面を清浄処理す

る前記工程を実施することを特徴とする半導体装置の製造方法。

39. p型半導体層中の再成長界面の残留Si濃度が面密度で $5 \times 10^{11} \text{ atoms/cm}^2$ 以下であることを特徴とする光半導体素子。

40. 前記再成長界面は、p型電流ブロック層と、その下部に接する層との界面であることを特徴とする請求の範囲39記載の光半導体素子。

41. 前記再成長界面は、p型クラッド層と、その下部に接する層との界面であることを特徴とする請求の範囲39記載の光半導体素子。

42. 前記再成長界面は、p型クラッド層中の再成長界面であることを特徴とする請求の範囲39記載の光半導体素子。

10 43. アクティブMMI構造を有することを特徴とする請求の範囲39乃至42いずれかに記載の光半導体素子。

44. p型半導体層中の再成長界面の残留Si濃度が面密度で $5 \times 10^{11} \text{ atoms/cm}^2$ 以下であることを特徴とする光半導体集積素子。

45. 前記再成長界面は、p型電流ブロック層と、その下部に接する層との界面であることを特徴とする請求の範囲44記載の光半導体集積素子。

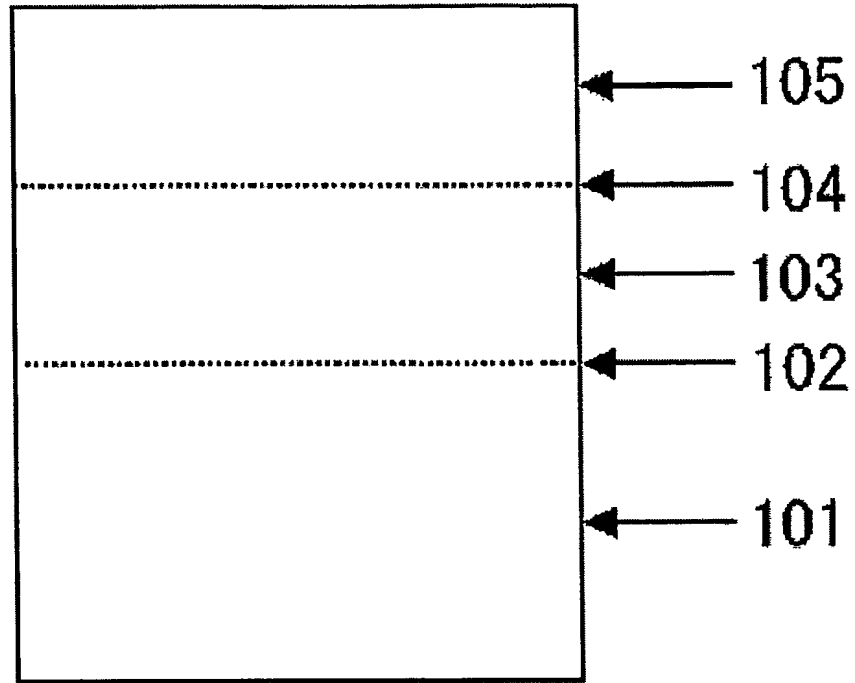
46. 前記再成長界面は、p型クラッド層と、その下部に接する層との界面であることを特徴とする請求の範囲44記載の光半導体集積素子。

47. 前記再成長界面は、p型クラッド層中の再成長界面であることを特徴とする請求の範囲44記載の光半導体集積素子。

20 48. アクティブMMI構造を有することを特徴とする請求の範囲44乃至47いずれかに記載の光半導体集積素子。

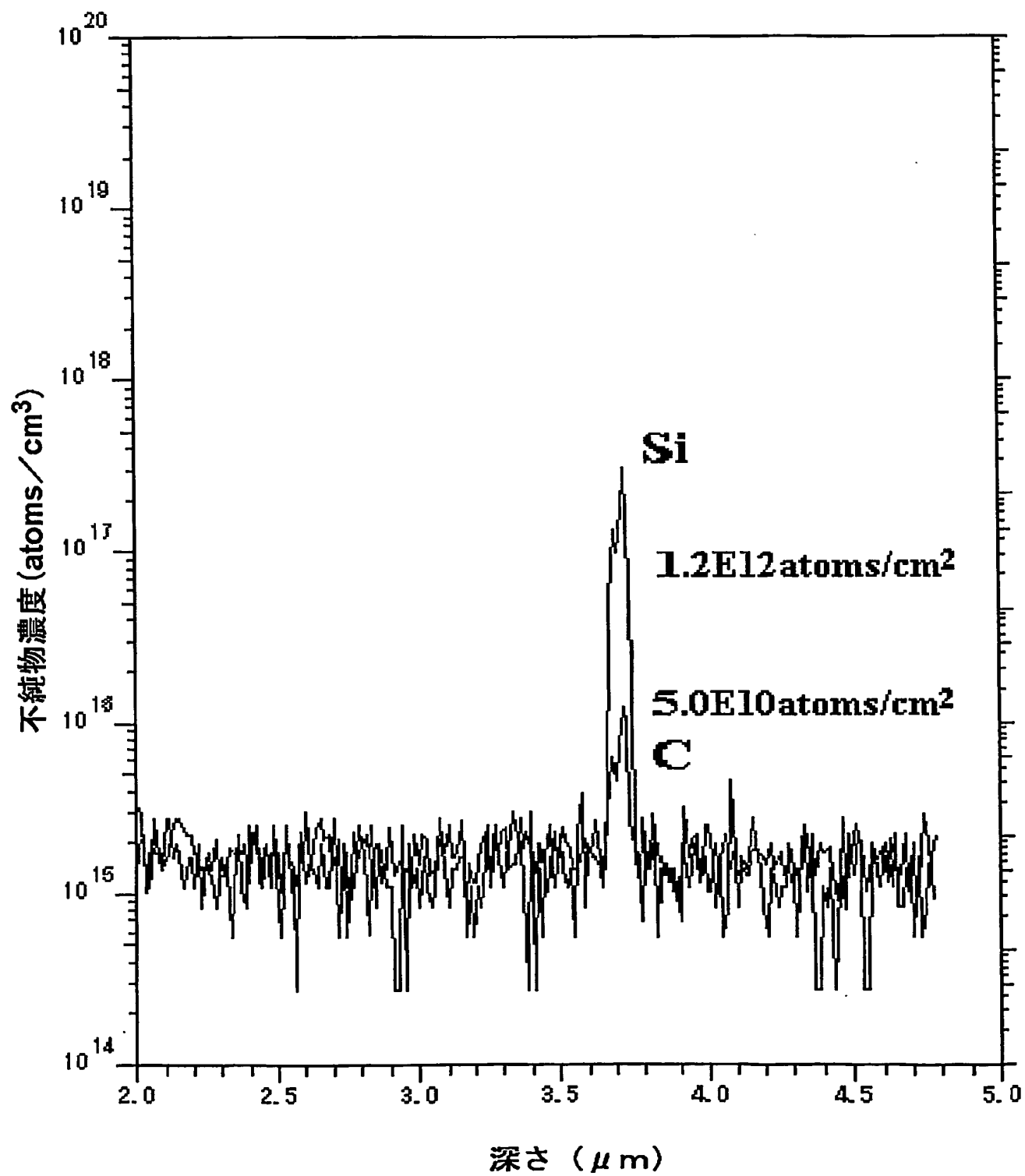
1 / 14

Fig. 1



2 / 14

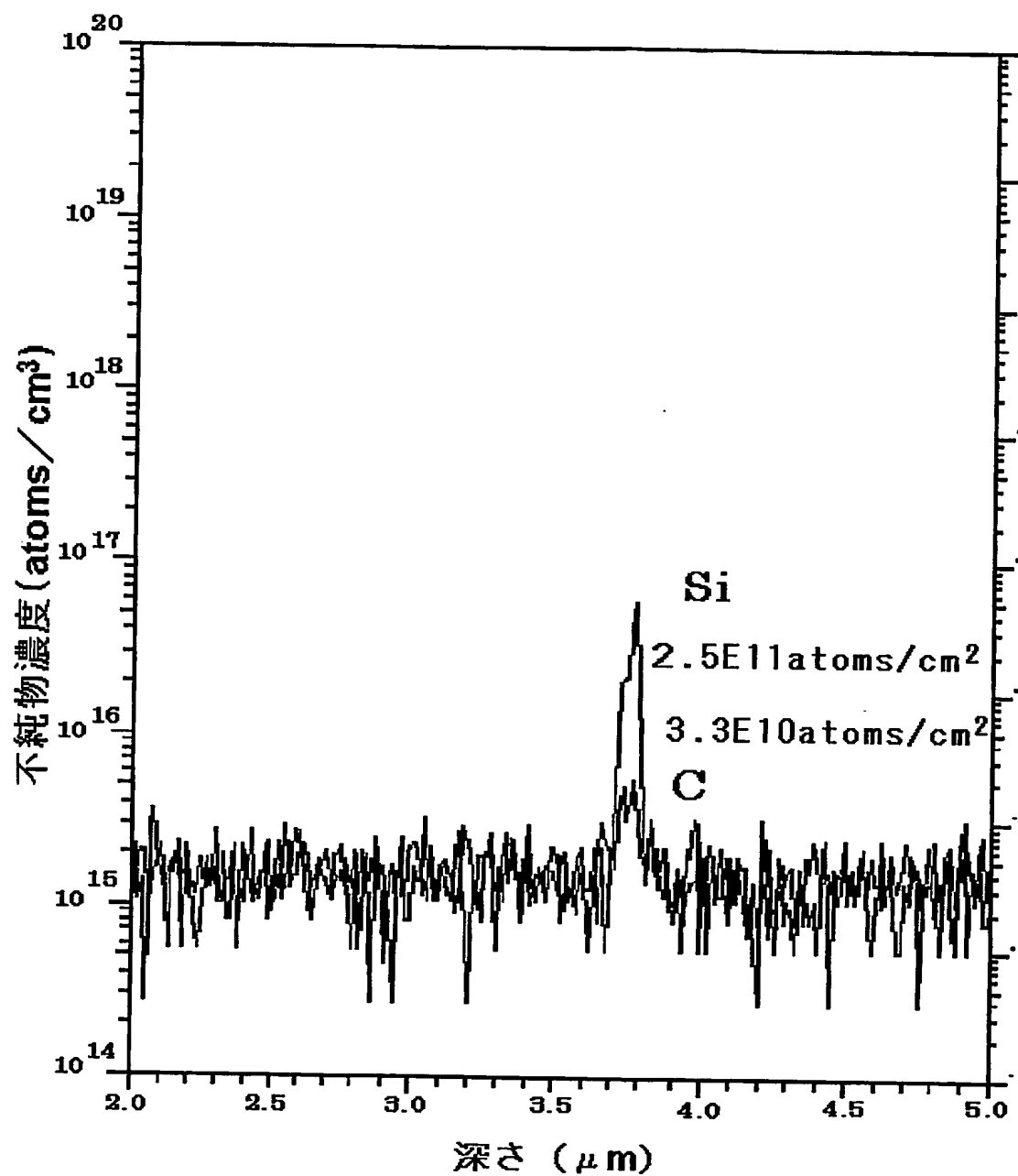
Fig. 2





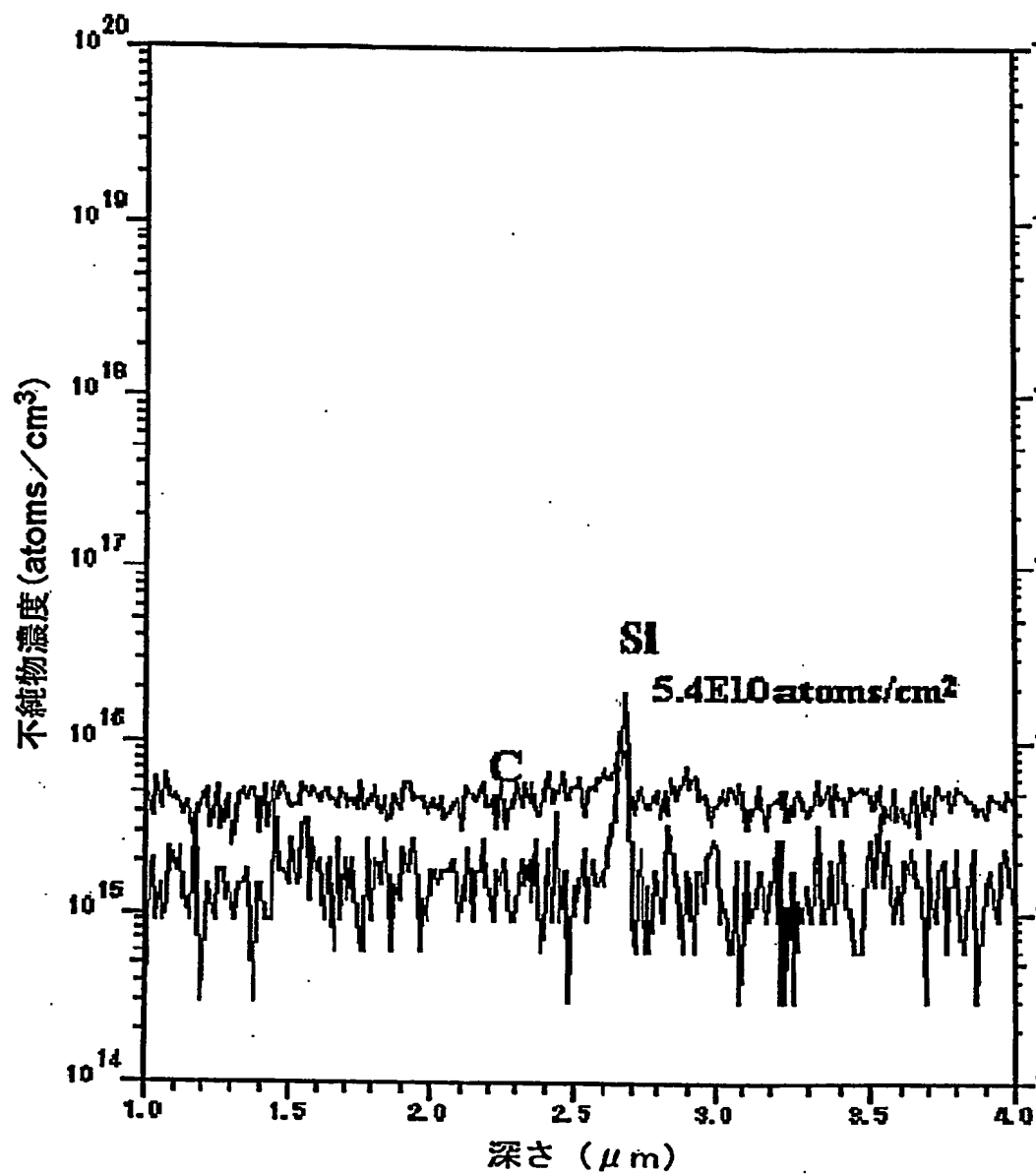
3 / 14

Fig. 3



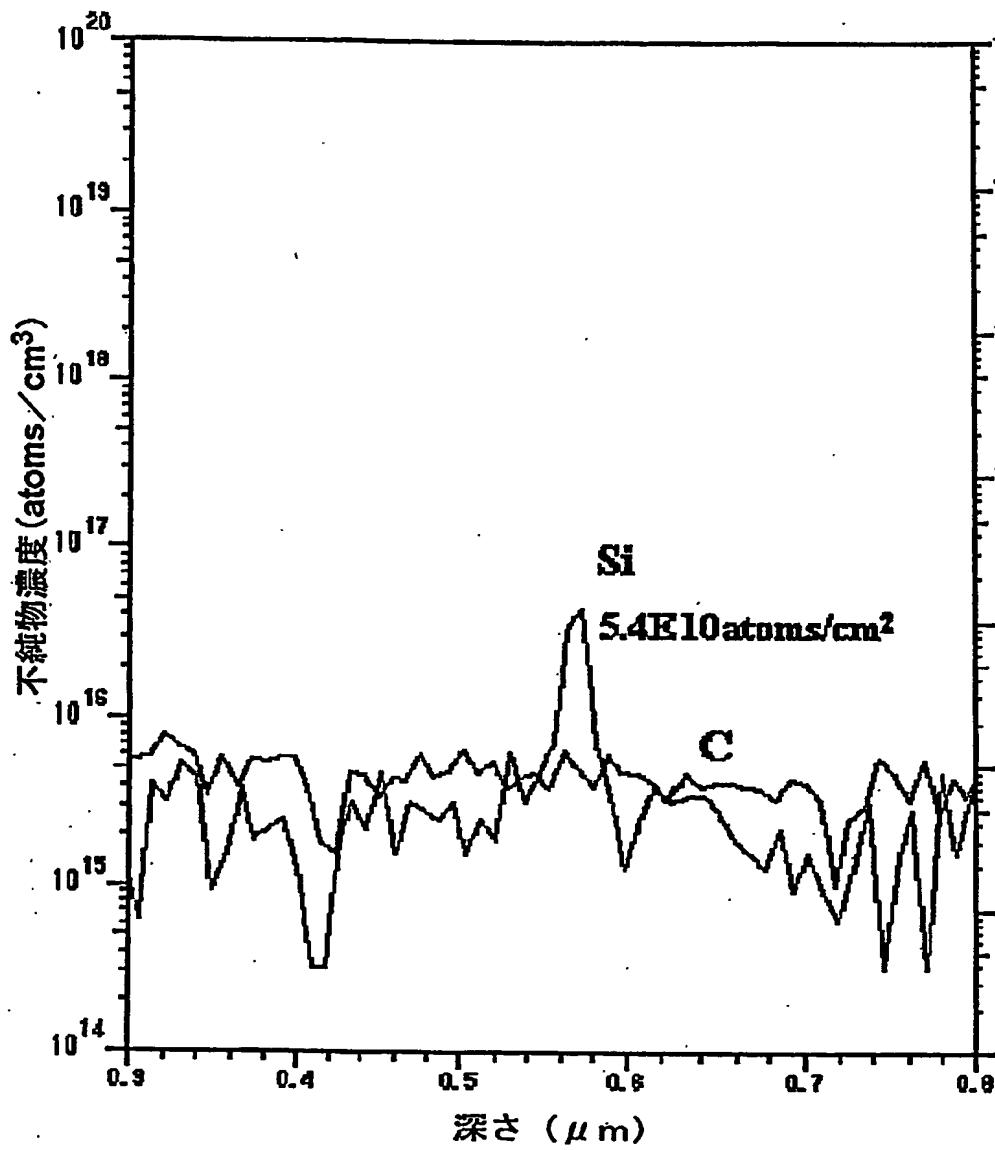
4 / 14

Fig. 4



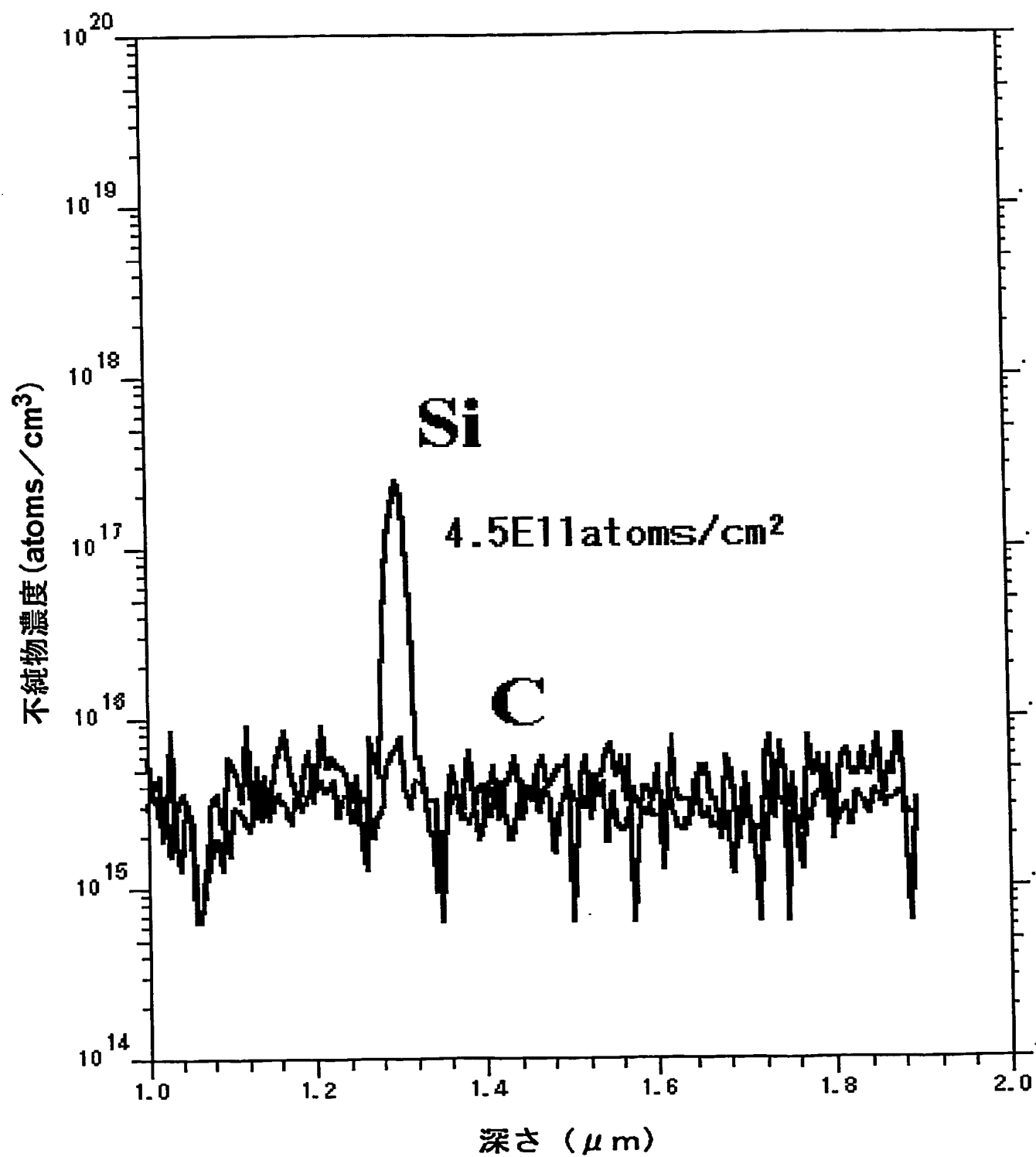
5 / 14

Fig. 5



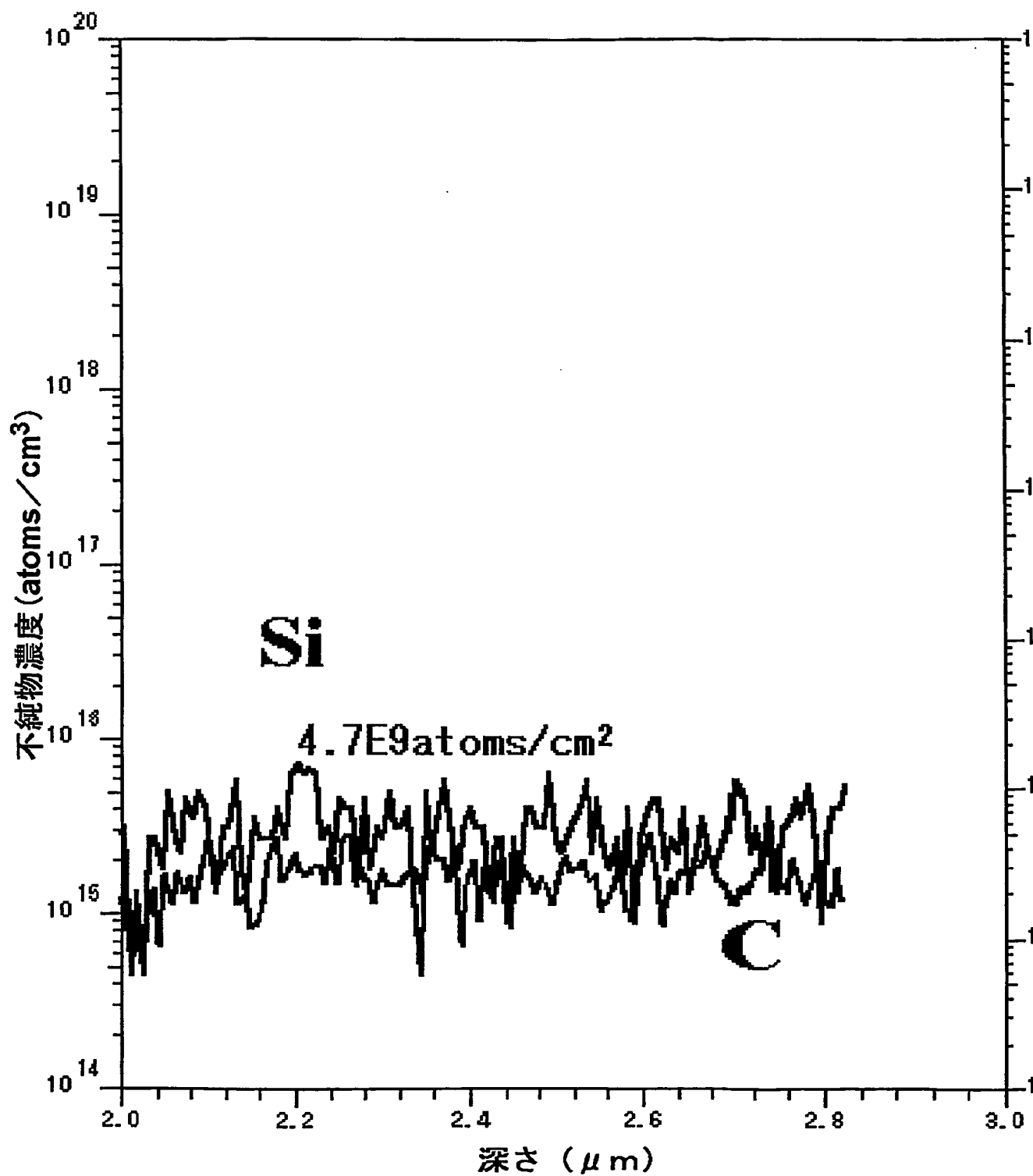
6 / 14

Fig. 6



7 / 14

Fig. 7



8 / 14

Fig. 8

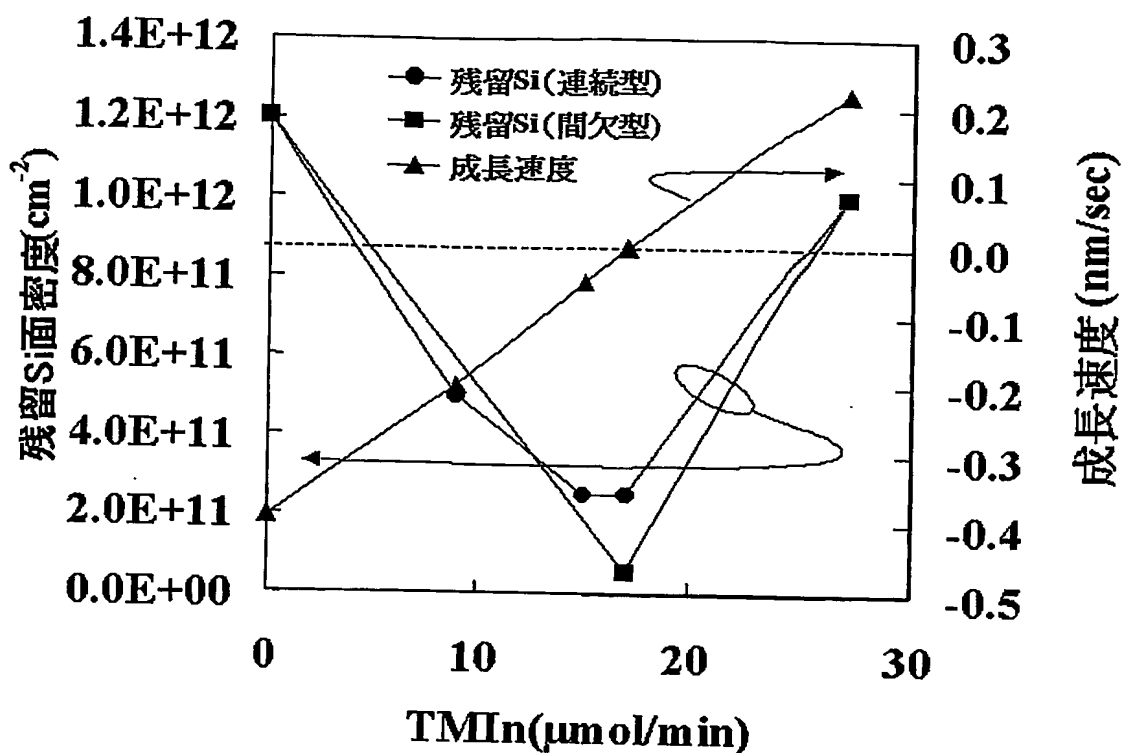


Fig. 9

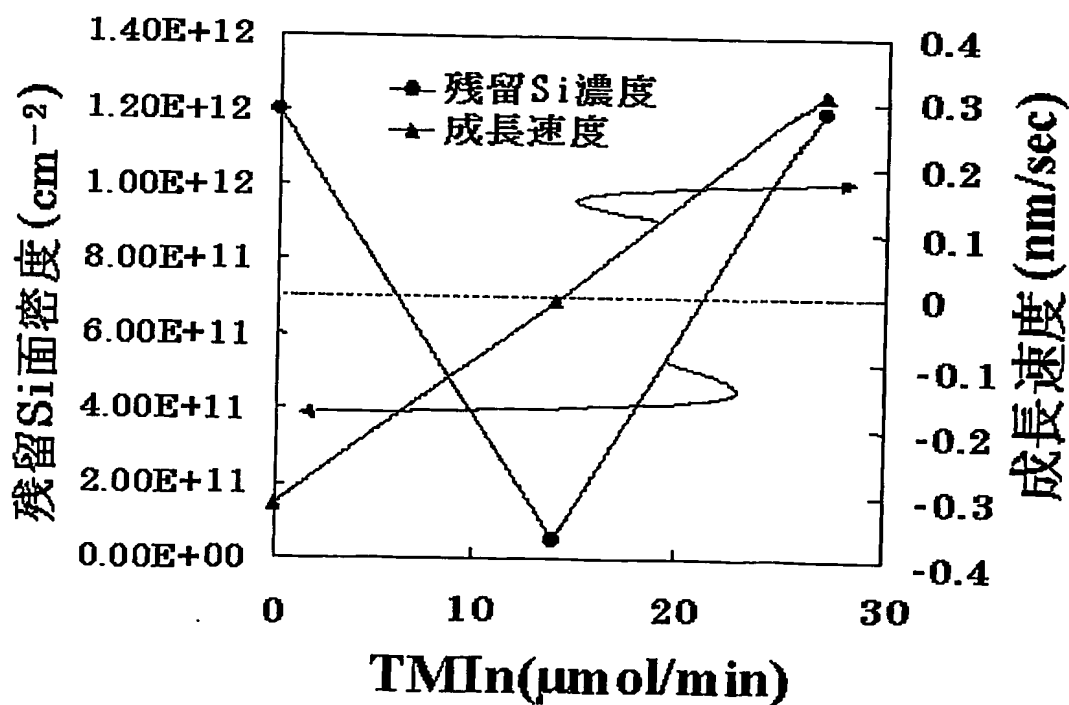


Fig. 10

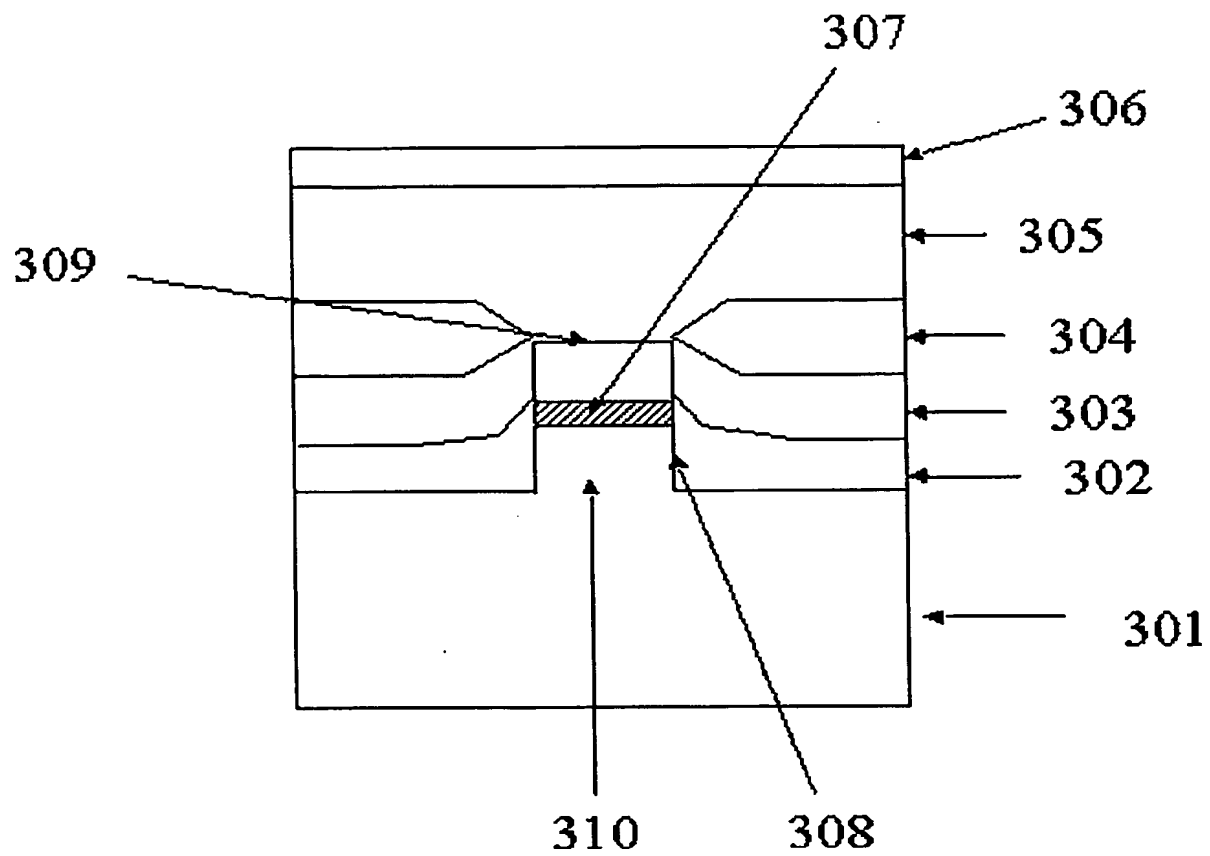


Fig. 11

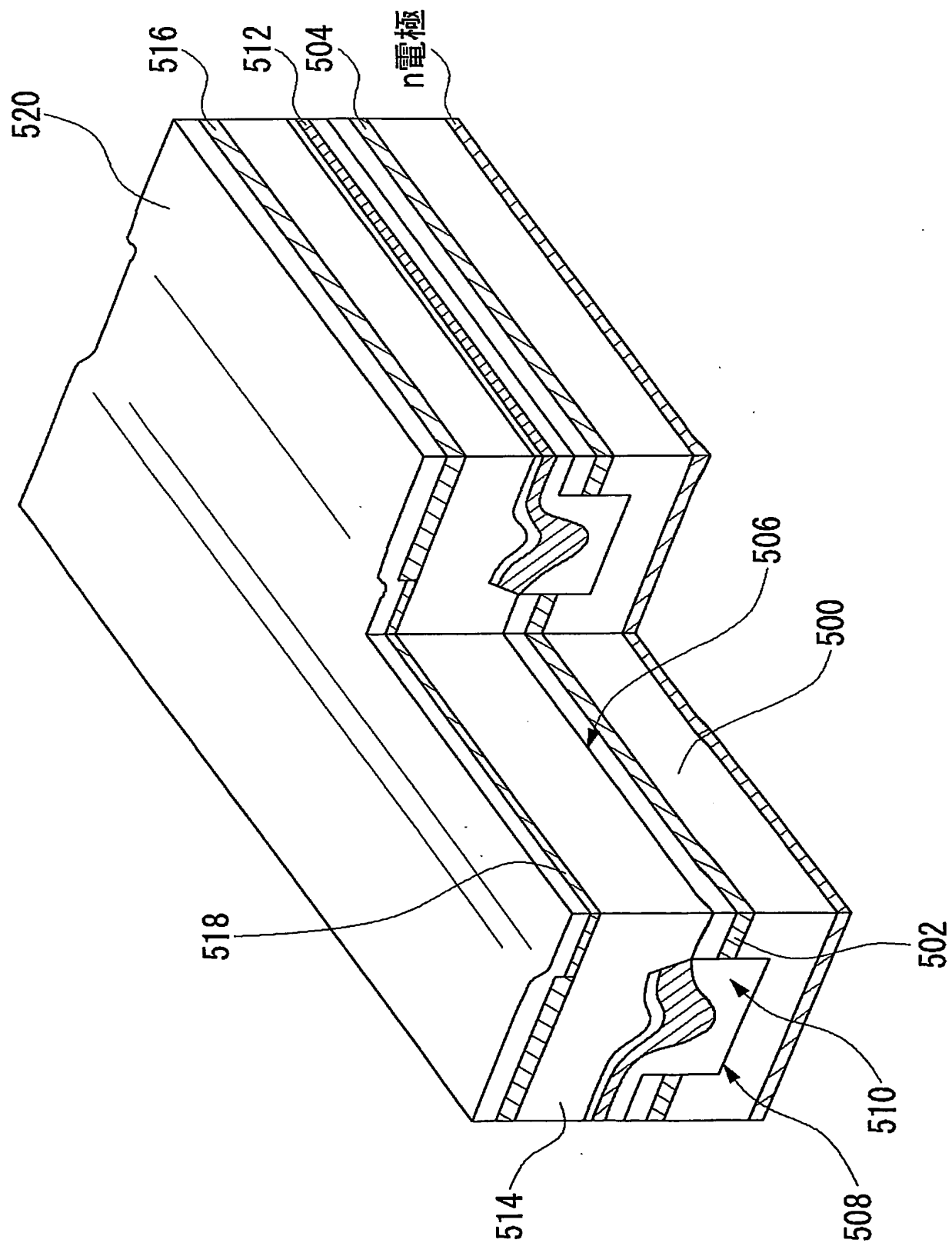
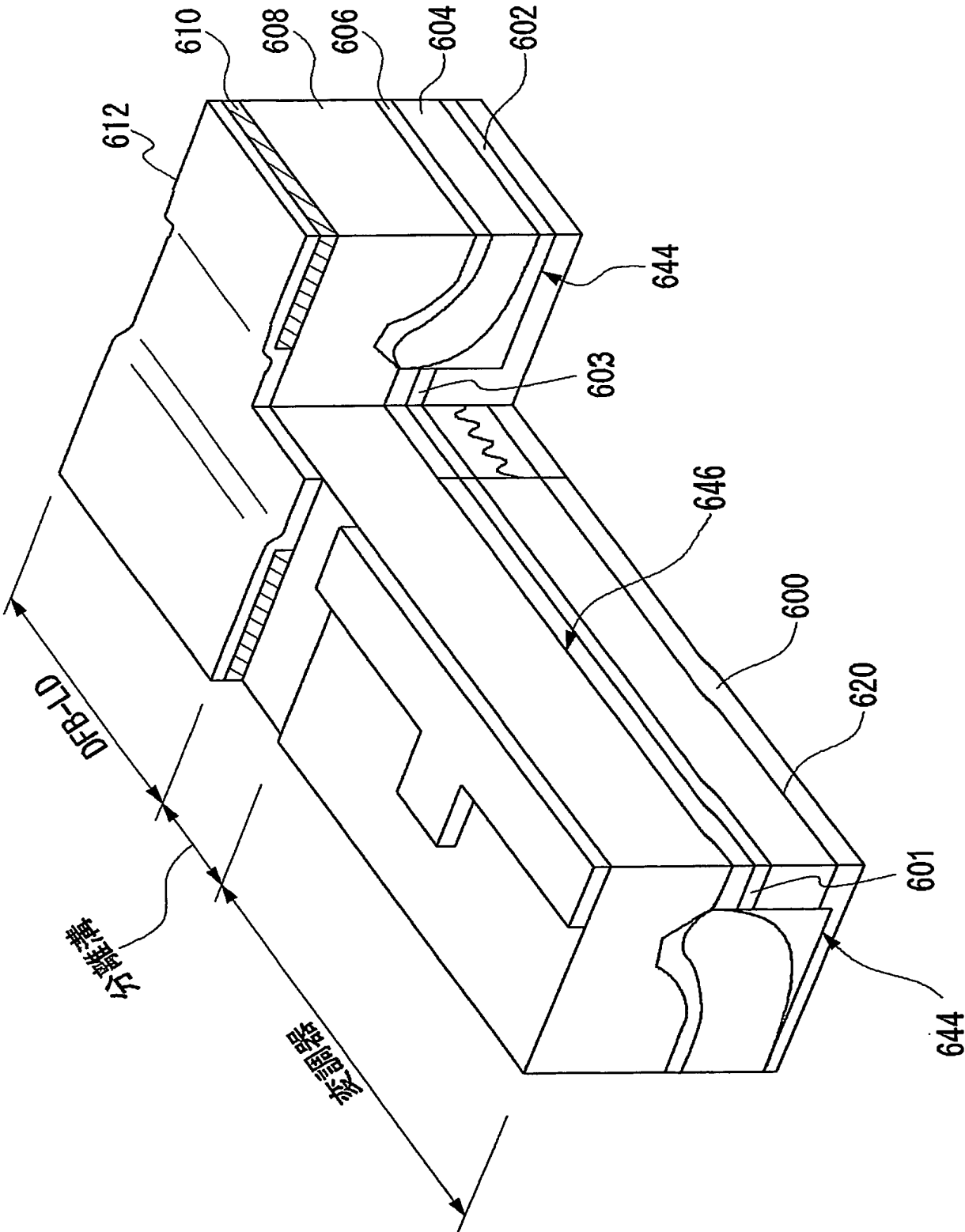




Fig. 12



12 / 14

Fig. 13

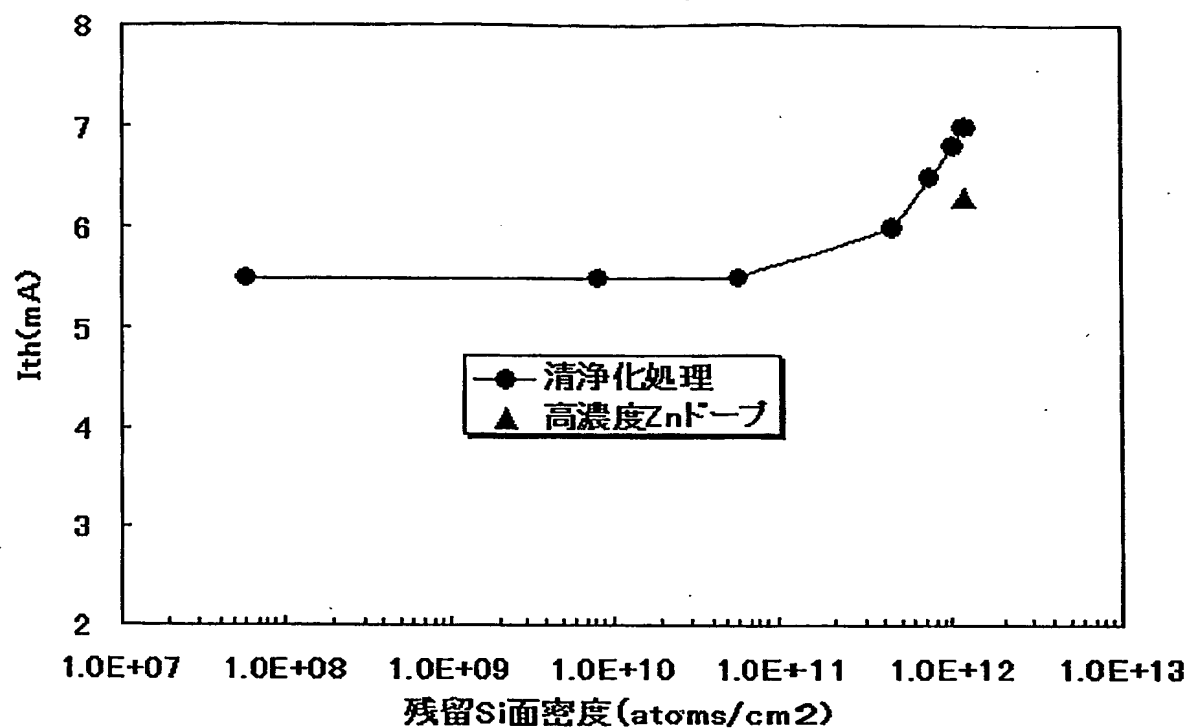
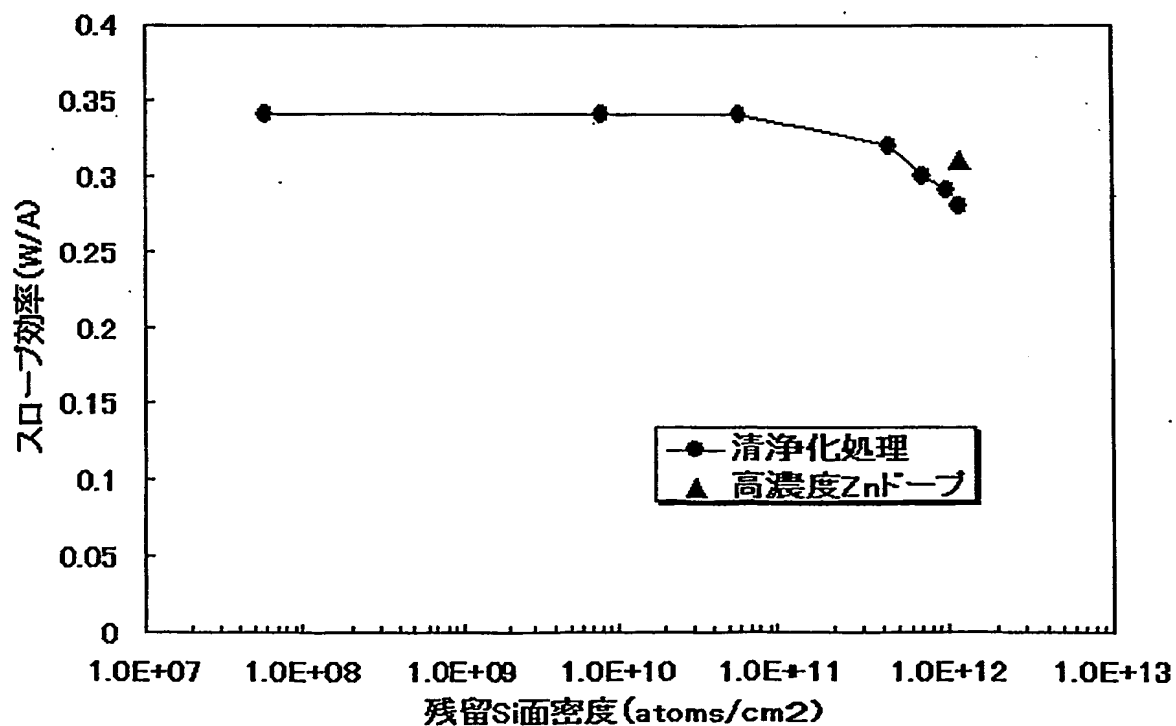
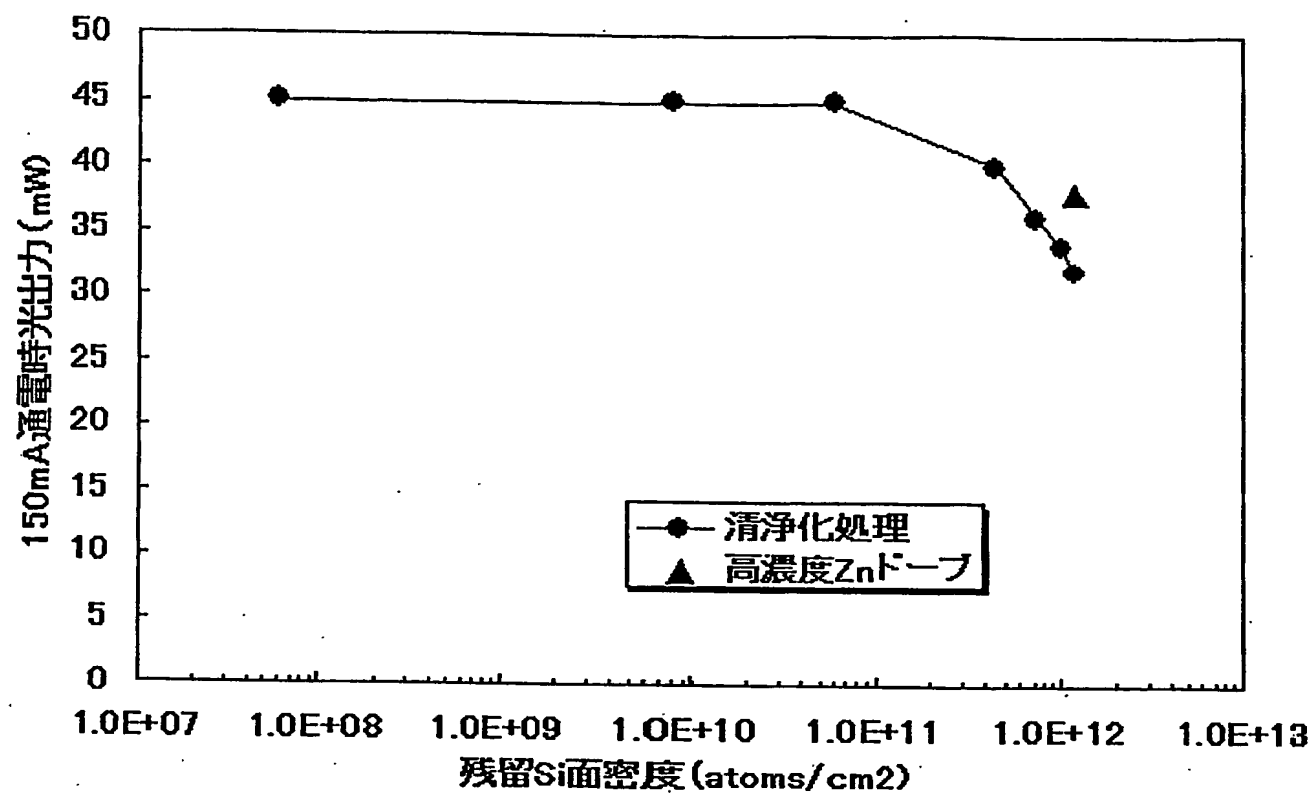


Fig. 14



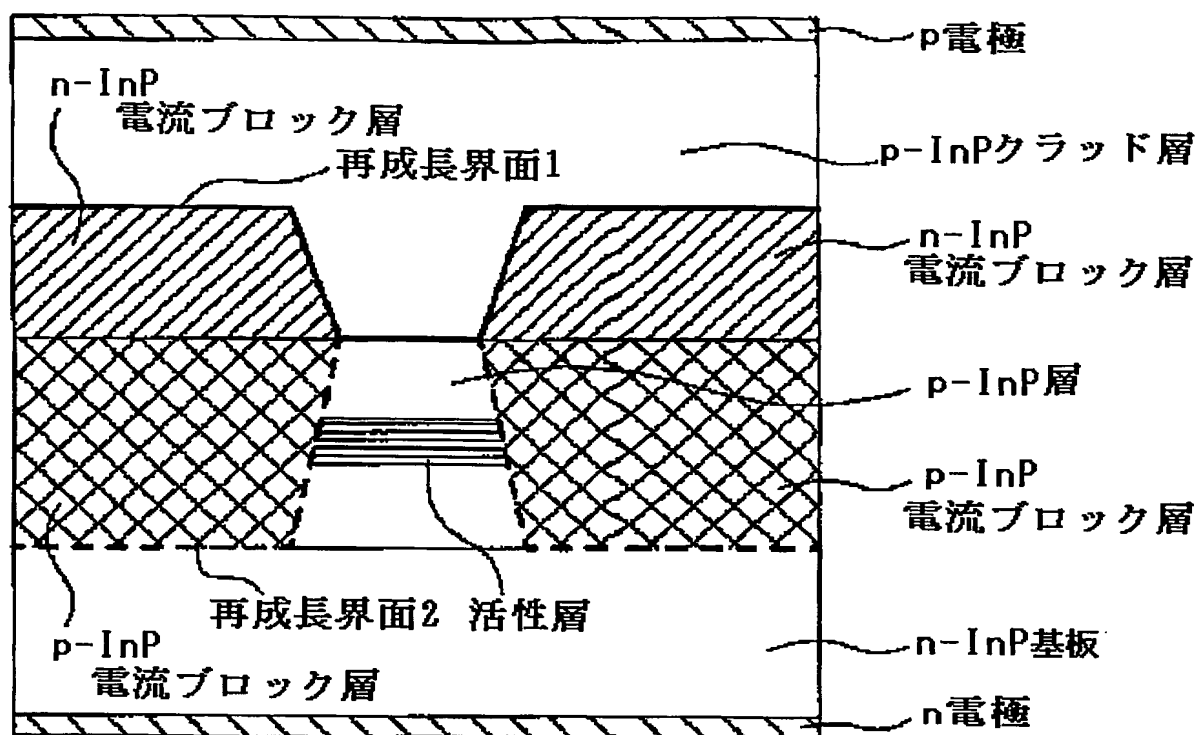
13 / 14

Fig. 15



14 / 14

Fig. 16



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12146

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L21/205, H01L21/302

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/205, H01L21/302, H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>Y</u>	JP 59-065434 A (NEC Corp.), 13 April, 1984 (13.04.84), Full text (Family: none)	1-3, 11-18, 19-21, 29-37 <u>38</u>
X <u>Y</u>	US 5400740 A (Mitsubishi Chemical Corp.), 28 March, 1995 (28.03.95), Full text & JP 5-175150 A	1-3, 11-18, 19-21, 29-37 <u>38</u>
X <u>Y</u>	JP 3-236219 A (Sumitomo Electric Industries, Ltd.), 22 October, 1991 (22.10.91), Full text (Family: none)	1-3, 11-18, 19-21, 29-37 <u>38</u>

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
16 December, 2003 (16.12.03)

Date of mailing of the international search report  
13 January, 2004 (13.01.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12146

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-092621 A (Oki Electric Industry Co., Ltd.), 04 April, 1997 (04.04.97), Full text (Family: none)	1-4, 19-22
A	JP 1-286991 A (Fujitsu Ltd.), 17 November, 1989 (17.11.89), Page 4, upper left column, lines 15 to 19 (Family: none)	8, 26
Y	US 5679603 A (Mitsubishi Denki Kabushiki Kaisha), 21 October, 1997 (21.10.97), Column 14, lines 20 to 41; column 16, lines 3 to 5; Fig. 8 & JP 7-263365 A Par. Nos. [0085], [0095]	38
A	US 6336970 B1 (Dowa Mining Co., Ltd.), 08 January, 2002 (08.01.02), Figs. 1 to 4 & JP 2000-124138 A Figs. 1 to 4	39, 44
E, X	JP 2003-282455 A (NEC Corp.), 03 October, 2003 (03.10.03), Full text (Family: none)	1-48

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl<sup>1</sup> H01L21/205, H01L21/302

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl<sup>1</sup> H01L21/205, H01L21/302, H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 59-065434 A (日本電気株式会社) 1984. 04. 13, 全文, (ファミリーなし)	1-3, 11-18, 19-21, 29-37 38
<u>Y</u> X	US 5400740 A (Mitsubishi Chemical Corporation) 1995. 03. 28, 全文 & JP 5-175150 A	1-3, 11-18, 19-21, 29-37 38
<u>Y</u> X	JP 3-236219 A (住友電気工業株式会社) 1991. 10. 22, 全文, (ファミリーなし)	1-3, 11-18, 19-21, 29-37 38
<u>Y</u>		

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

16. 12. 03

国際調査報告の発送日

13.01.04

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池淵 立



4R

8831

電話番号 03-3581-1101 内線 3469

C (続き) .. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-092621 A (沖電気工業株式会社) 1997. 04. 04, 全文, (ファミリーなし)	1-4, 19-22
A	JP 1-286991 A (富士通株式会社) 1989. 11. 17, 第4頁左上欄第15-19行, (ファミリーなし)	8, 26
Y	US 5679603 A (Mitsubishi Denki Kabushiki Kaisha) 1997. 10. 21, 第14欄第20-41行, 第16欄第3-5行, Fig8 & JP 7-263365 A, 【0085】, 【0095】	38
A	US 6336970 B1 (Dowa Mining Co., Ltd) 2002. 01. 08, FIG1-4 & JP 2000-124138 A, 図1-4	39, 44
EX	JP 2003-282455 A (日本電気株式会社) 2003. 10. 03, 全文, (ファミリーなし)	1-48